

[51] Int. Cl.

H01L 23/60 (2006.01)

H01L 27/00 (2006.01)



[12] 发 明 专 利 说 明 书

专利号 ZL 02105023.6

[45] 授权公告日 2006 年 1 月 18 日

[11] 授权公告号 CN 1237615C

[22] 申请日 2002.2.10 [21] 申请号 02105023.6

[71] 专利权人 台湾积体电路制造股份有限公司

地址 台湾省新竹

[72] 发明人 柯明道 张恒祥 王文泰

审查员 钟 翊

[74] 专利代理机构 隆天国际知识产权代理有限公司

代理人 潘培坤 陈 红

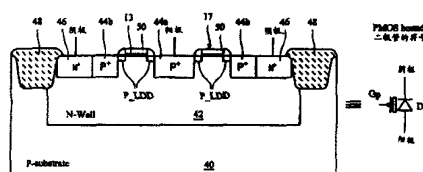
权利要求书 9 页 说明书 16 页 附图 29 页

[54] 发明名称

一种二极管结构及其静电放电防护电路

[57] 摘要

本发明公开一二极管及相关静电放电防护电路，该二极管包含一第一导电型的第一半导体层及一第二导电型的 MOS 晶体管，该第一半导体层作为该二极管之一第一电极，该 MOS 晶体管，包含一环型栅、一第二导电型的第一源/漏掺杂区及一第二导电型的第二源/漏掺杂区，该环型栅绝缘地设于该第一半导体层上，以阻止 STI 厚氧化层的生成，该第一源/漏掺杂区形成于该环型栅极所围绕的该第一半导体层的表面，作为该二极管之一第二电极，该第二导电型的第二源/漏掺杂区形成于该第一半导体层表面，且围绕该环型栅，该第一电极与该第二电极其中之一为该二极管之一阴极，耦合至一第一接合垫，该第一电极与该第二电极其中的另一为该二极管之一阳极，耦合至一第二接合垫。



1.一种静电放电防护电路,适用于一集成电路芯片,包含有一二极管,其特征在于:该二极管包含有:

5 一第一导电型的第一半导体层,其中的第一导电型掺杂区作为一第一电极;以及

 一第二导电型的 MOS 晶体管,包含有:

 一环型栅,绝缘地设于该第一半导体层上,与第一电极绝缘;

 一第二导电型的第一源/漏掺杂区,形成于该环型栅极所围绕的该第一
10 半导体层的表面,作为一第二电极;以及

 一第二导电型的第二源/漏掺杂区,形成于该第一半导体层的表面,且围绕该环型栅。

 其中,在第一导电型为 N 型时,该第一电极为阴极,该第二电极为阳极;在第一导电型为 P 型时,该第一电极为阳极,该第二电极为阴极;其
15 中,阴极耦合至第一接合垫,阳极耦合至第二接合垫。

2.如权利要求 1 所述的防护电路,其特征在于:该二极管另包含有一第一导电型之接触掺杂区,设于该第一半导体层之表面,环绕且接触该第二源/漏掺杂区,作为该第一半导体层之一电接触区。

3.如权利要求 2 所述的防护电路,其特征在于:该接触掺杂区受一浅
20 沟隔离区环绕。

4.如权利要求 1 所述的防护电路,其特征在于:该 MOS 晶体管具有轻掺杂的漏极结构。

5.如权利要求 1 所述的防护电路,其特征在于:该第一源/漏掺杂区与该第一半导体层之间形成有一第二导电型的静电放电防护掺杂层,用以包
25 覆该第一源/漏掺杂区。

6.如权利要求 1 所述的防护电路，其特征在于：该第一导电型为 N 型，该第二导电型为 P 型。

7.如权利要求 6 所述的防护电路，其特征在于：该环型栅耦合至该阳极。

5 8.如权利要求 1 所述的防护电路，其特征在于：该第一导电型为 P 型，该第二导电型为 N 型。

9.如权利要求 8 所述的防护电路，其特征在于：该环型栅耦合至该阴极。

10.如权利要求 1 所述的防护电路，其特征在于：该静电放电防护电路
10 另包含有一静电放电侦测电路，在正常操作时，该静电放电侦测电路提供一第一电压予该环型栅，以关闭该 MOS 晶体管，在发生静电放电时，提供一第二电压予该环型栅，以降低该二极管之一击穿电压。

11.如权利要求 10 所述的防护电路，其特征在于：该第一接合垫与该第二接合垫其中之一为一电源接合垫，另一则为一输出/入接合垫。

15 12.如权利要求 11 所述的防护电路，其特征在于：该静电放电侦测电路系包含有一电阻，耦合于该电源接合垫与该环型栅之间。

13.如权利要求 12 所述的防护电路，其特征在于：该静电放电侦测电路包含有一电容，耦合于该输出/入接合垫与该环型栅之间。

14.如权利要求 10 所述的防护电路，其特征在于：该第一接合垫为一
20 高压电源接合垫，该第二接合垫为一低压电源接合垫。

15.如权利要求 14 所述的防护电路，其特征在于：该静电放电侦测电路包含有一电阻与一电容，以一串接点串接于该高压电源接合垫与该低压电源接合垫之间，该串接点处用以产生一参考电压，作为该静电放电侦测电路控制该环型栅的一参考值。

25 16.如权利要求 15 所述防护电路，其特征在于：该串接点直接耦合至

该环型栅。

17.如权利要求 15 所述防护电路，其特征在于：该静电放电侦测电路另包含有一驱动装置，依据该串接点处的该参考电压，以驱动该环型栅。

18.如权利要求 17 所述防护电路，其特征在于：该驱动装置包含有一
5 反向器，串接于该环型栅与该串接点之间。

19.如权利要求 1 所述防护电路，其特征在于：该第一接合垫为一低压电源接合垫，该第二接合垫为一高压电源接合垫，该静电放电防护电路包含有多个二极管，顺向串接于该高压电源接合垫与该低压电源接合垫之间，所述二极管构成一二极管串行，该二极管串行具有一开启电压，高于
10 该高压电源接合垫与该低压电源接合垫之间于一正常工作时的一电压差。

20.如权利要求 19 所述防护电路，其特征在于：该第一导电型为 P 型，该第二导电型为 N 型。

21.如权利要求 20 所述的防护电路，其特征在于：所述二极管包含有一固定偏压二极管，该固定偏压二极管前环型栅耦合至该低压电源接合
15 垫。

22.如权利要求 20 所述的防护电路，其特征在于：所述二极管包含有一自我偏压二极管，该自我偏压二极管的环型栅耦合至该自我偏压二极管的阴极。

23.如权利要求 19 所述的防护电路，其特征在于：该第一导电型为 N
20 型，该第二导电型为 P 型。

24.如权利要求 23 所述的防护电路，其特征在于：所述二极管包含有一固定偏压二极管，该固定偏压二极管的环型栅耦合至该高压电源接合垫。

25.如权利要求 23 所述的防护电路，其特征在于：所述二极管包含有一自我偏压二极管，该自我偏压二极管的环型栅耦合至该自我偏压二极管
25

的阳极。

26.如权利要求 19 所述的防护电路，其特征在于：该静电放电防护电路另包含有一静电放电侦测电路，用以控制所述二极管中之一受控二极管，在正常操作时，该静电放电侦测电路提供一第一电压予该受控二极管的环型栅，以关闭该受控二极管的 MOS 晶体管，在发生静电放电时，提供一第二电压予该受控二极管的环型栅，以开启该受控二极管的 MOS 晶体管。

27.如权利要求 26 所述的防护电路，其特征在于：该静电放电防护电路耦合于该高压电源与该低压电源接合垫之间。

28.如权利要求 27 所述的防护电路，其特征在于：该静电放电侦测电路包含有一电阻与一电容，以一串接点串接于该高压电源接合垫与该低压电源接合垫之间，该串接点处用以产生一参考电压，作为该静电放电侦测电路控制该受控二极管的环型栅的一参考值。

29.如权利要求 27 所述的防护电路，其特征在于：该串接点直接耦合至该受控二极管的环型栅。

30.如权利要求 28 所述的防护电路，其特征在于：该静电放电侦测电路另包含有一驱动装置，依据该串接点处的该参考电压，以驱动该受控二极管的环型栅。

31.如权利要求 30 所述的防护电路，其特征在于：该驱动装置包含有一反向器，串接于该受控二极管的环型栅与该串接点之间。

32.如权利要求 26 所述的防护电路，其特征在于：该静电放电防护电路耦合于该高压电源接合垫与一第三电源接合垫之间，或是该低压电源接合垫与该第三电源接合垫之间。

33.一种静电放电防护电路，包含有一 n 型二极管以及一 p 型二极管，其特征在于：所述 n 型二极管包含有：

一 P 型半导体层，其中的 P 型掺杂区作为一该 n 型二极管的一第一阳极；以及

一 NMOS 晶体管，包含有：

一第一环型栅，绝缘地设于该 P 型半导体层上，与该第一阳极绝缘；

5 一第一 N 型掺杂区，形成于该第一环型栅所围绕的该 P 型半导体层的表面，作为一该 n 型二极管之一第一阴极；以及

一第二 N 型掺杂区，形成于该 p 型半导体层的表面，且围绕该第一环型栅；

该 p 型二极管包含有：

10 一 N 型半导体层，其中的 N 型掺杂区作为该 p 型二极管的一第二阴极；以及

一 PMOS 晶体管，包含有：

一第二环型栅，绝缘地设于该 N 型半导体层上，与该第二阴极绝缘；

15 一第一 P 型掺杂区，形成于该第二环型栅所围绕的该 N 型半导体层的表面，作为该 P 型二极管的一第二阳极；以及

一第二 P 型掺杂区，形成于该 N 型半导体层的表面，且围绕该第二环型栅。

20 该 p 型二极管与该 n 型二极管顺向串接，并形成一主阳极以及一主阴极，该主阳极耦合至一高压电源接合垫，该主阴极耦合至一低压电源接合垫。

34.如权利要求 33 所述的防护电路，其特征在于：该第一环型栅耦合至该第一阴极。

35.如权利要求 33 所述的防护电路，其特征在于：该第二环型栅耦合至该第二阳极。

25 36.如权利要求 33 所述的防护电路，其特征在于：还包含有一静电放

电侦测电路，耦合于该高压电源与该低压电源接合垫之间，在正常操作时，该静电放电侦测电路提供一第一电压予该第一环型栅，以关闭该 NMOS 晶体管，在发生静电放电时，提供一第二电压予该第一环型栅，以开启该 NMOS 晶体管。

- 5 37.如权利要求 33 所述的防护电路，其特征在于：还包含有一静电放电侦测电路，耦合于该高电压与该低压电源接合垫之间，在正常操作时，该静电放电侦测电路提供一第一电压予该第二环型栅，以关闭该 PMOS 晶体管，在发生静电放电时，提供一第二电压予该第二环型栅，以开启该 PMOS 晶体管。

- 10 38.一种电源线间的静电放电防护系统，包含有：

多个高压电源线（VDD1-VDDN）；

多个低压电源线（VSS1-VSSN）；

一高压电源静电放电汇流线；

一低压电源静电放电汇流线；

- 15 一主要静电放电防护电路，耦合于该高压电源静电放电汇流线与该低压电源静电放电汇流线之间；

多个高压电源静电放电防护电路，分别耦合于多个高压电源线（VDD1-VDDN）与该高压电源静电放电汇流线之间；以及

- 20 多个低压电源静电放电防护电路，分别耦合于多个低压电源线（VSS1-VSSN）与该低压电源静电放电汇流线之间；

其中，一高压电源静电放电防护电路包含有至少一二极管，连接于一高压电源线与该高压电源静电放电汇流线之间，该二极管包含有：

一第一导电型的第一半导体层，其中的第一导电型掺杂区作为该二极管的一第一电极；以及

- 25 一第二导电型的 MOS 晶体管，包含有：

一环型栅，绝缘地设于该第一半导体层上，与第一电极绝缘；

一第二导电型的第一源/漏掺杂区，形成于该环型栅极所围绕的该第一半导体层的表面，作为该二极管的一第二电极；以及

一第二导电型的第二源/漏掺杂区，形成于该第一半导体层的表面，且
5 围绕该环型栅；

其中，当在高压电源线与低压电源线之间发生静电放电时，该二极管导通，通过高压电源静电放电防护电路、主要静电放电防护电路以及低压电源静电放电防护电路排放静电放电电流。

39.如权利要求 38 所述的防护系统，其特征在于：该二极管在该发生
10 静电放电时，被顺向偏压。

40.如权利要求 38 所述的防护系统，其特征在于：该二极管在该发生静电放电时，被逆向偏压，且该逆向偏压的一电压值高于该二极管的击穿电压。

41.如权利要求 38 所述的防护系统，其特征在于：该第一导电型为 N
15 型，该第二导电型为 P 型。

42.如权利要求 41 所述的防护系统，其特征在于：该环型栅耦合至该第一电极。

43.如权利要求 38 所述的防护系统，其特征在于：该第一导电型为 P 型，该第二导电型为 N 型。

20 44.如权利要求 43 所述的防护系统，其特征在于：该环型栅耦合至该第二电极。

45.如权利要求 38 所述的防护系统，其特征在于：还包含有一静电放电侦测电路，耦合于高压电源线与低压电源线之间，用以侦测该静电放电的发生，并提供一电压与该环型栅，以控制该 MOS 晶体管。

25 46.如权利要求 38 所述的防护系统，其特征在于：还包含有一静电放电

侦测电路，耦合于该高压电源静电放电汇流线与该低压电源静电放电汇流线之间，用以侦测该静电放电的发生，并提供一电压与该环型栅，以控制该 MOS 晶体管。

47.一种作为静电防护组件的二极管，包含有：

5 一第一导电型的第一半导体层，其中的第一导电型掺杂区作为该二极管的一第一电极；以及

 一第二导电型的 MOS 晶体管，包含有：

 一环型栅，绝缘地设于该第一半导体层上，与第一电极绝缘；

 一第二导电型的第一源/漏掺杂区，形成于该环型栅极所围绕的该第一
10 半导体层的表面，并与该第一半导体层形成一 PN 接面，作为该二极管的一第二电极；以及

 一第二导电型的第二源/漏掺杂区，形成于该第一半导体层的表面，且围绕该环型栅。

 其中，该环型栅用以阻止一 STI 结构在该 PN 接面上生成，在第一导
15 电型为 N 型时，该第一电极为阴极，该第二电极为阳极；在第一导电型为 P 型时，该第一电极为阳极，该第二电极为阴极，其中，阴极耦合至第一接合垫，阳极耦合至第二接合垫，当发生静电放电时，该环型栅被施以一偏压，以加速该二极管的开启。

 48.如权利要求 47 所述的二极管，其特征在于：该二极管另包含有一
20 第一导电型的接触掺杂区，设于该第一半导体层的表面，环绕且接触该第二源/漏掺杂区，作为该第一半导体层之一电接触区。

 49.如权利要求 48 所述的二极管，其特征在于：该接触掺杂区受一浅沟隔离区环绕。

 50.如权利要求 47 所述的二极管，其特征在于：该 MOS 晶体管具有
25 轻掺杂的漏极 LDD 结构。

51.如权利要求 47 所述的二极管，其特征在于：该第一源/漏掺杂区与该第一半导体层之间形成有一第二导电型的静电放电防护掺杂层，用以包覆该第一源/漏掺杂区。

52.如权利要求 47 所述的二极管，其特征在于：该第一导电型为 N 型，
5 该第二导电型为 P 型。

53.如权利要求 52 所述的二极管，其特征在于：该环型栅耦合至该阳极。

54.如权利要求 47 所述的二极管，其特征在于：该第一导电型为 P 型，该第二导电型为 N 型。

10 55.如权利要求 54 所述的二极管，其特征在于：该环型栅耦合至该阴极。

56.如权利要求 47 所述的二极管，其特征在于：该偏压由一静电放电侦测电路所提供。

57.如权利要求 47 所述的二极管，其特征在于：该环型栅由一第二导电型的多晶硅形成于一栅绝缘层上所构成。
15

58.如权利要求 47 所述的二极管，其特征在于：该环型栅包含有一侧间隙壁，形成于该环型栅之一侧壁。

一种二极管结构及其静电放电防护电路

5 技术领域

本发明涉及一种适用于集成电路中的静电放电（ESD）防护的二极管结构，尤指一种具有高静电防护能力的二极管与其相关的静电放电防护电路设计。

背景技术

10 随着制造工艺技术的进步，静电放电的耐受力已经是集成电路（IC）可靠度的主要考虑因素之一。尤其是半导体制造技术进入深次微米时代（deep submicron regime）后，缩小尺寸（scaled-down）的晶体管、较浅的掺杂接面深度、较薄的栅氧化层、轻掺杂的漏极结构（lightly-doped drain, LDD）、浅沟隔离（shallow trench isolation, STI）制造过程以及金属硅
15 化物（Salicide）制造过程等，对于静电放电应力而言都是比较脆弱的。因此，在 IC 的输入输出端便必须设置静电放电防护电路，用以保护 IC 中的组件免于遭受静电放电损害。

请参阅图 1a 以及图 1b，图 1a 与图 1b 为两个传统以二极管作为静电放电防护组件的静电放电防护电路。传统用来保护输入输出接合垫
20 （input/output pad）的静电放电防护电路经常是以二极管所构成，如图 1a 与图 1b 所示。初级的静电放电防护电路以二极管 Dp1 与 Dn1 所构成。二极管 Dp1 连接于电源线 VDD 与输入输出接合垫 10 之间，二极管 Dn1 连接于电源线 VSS 与输入输出接合垫 10 之间，如图 1a 所示。为了提供更好的静电放电防护，图 1b 中增加了电阻 R、二极管 Dp2 以及二极管 Dn2，作
25 为次级的静电放电防护电路。

静电放电测试有四种条件，分别是接合垫对 VSS 的正电压静电放电应

力冲击、接合垫对 VSS 的负电压静电放电应力冲击、接合垫对 VDD 的负电压静电放电应力冲击以及接合垫对 VDD 的正电压静电放电应力冲击。分别又简称为 PS 模式、NS 模式、ND 模式以及 PD 模式。

NS (或是 PD) 模式时, Dn1 (或是 Dp1) 被顺向偏压, 所以静电放电电流便透过 Dn1 (或是 Dp1) 流到 VSS (或是 VDD) 而释放。

PS (或是 ND) 模式时, Dn1 (或是 Dp1) 被逆向偏压, Dn1 (或是 Dp1) 必须在静电放电应力破坏内部电路 12 之前击穿而导通, 使静电放电电流从输出接合垫 10, 通过 Dn1 (或是 Dp1) 流到 VSS (或是 VDD) 而释放。

二极管所消耗的功率的计算式为 $V_{\text{diode}} * I_{\text{diode}}$; 其中, V_{diode} 与 I_{diode} 分别是二极管上的跨压以及流经二极管的电流。一般而言, 二极管的顺向偏压大约只有 1 伏特(V), 而二极管于击穿时的逆向偏压大约高达 10 伏特(V)。因此, PS (或是 ND) 模式于 Dn1 (或是 Dp1) 处所产生的功率, 是远较于 NS (或是 PD) 模式于 Dn1 (或是 Dp1) 处所产生的功率来的高, 也更容易烧毁 Dn1 (或是 Dp1)。因此, 当设计一二极管来作为静电放电防护组件时, 其挑战是在于如何使二极管在逆向偏压的静电放电测试时不至于损毁。

请参阅图 2 以及图 3, 图 2 与图 3 为两个传统的, 以 CMOS (Complementary Metal Oxide Semiconductor) 制造过程制作且带有 STI 结构的二极管结构与符号示意图。图 2 中的 p 型二极管 (Dp) 是以一 P+ 掺杂区 16 设于一 N 型阱 20 中以形成二极管的 pn 接面。P+ 掺杂区 16 作为 p 型二极管的阳极, N+ 掺杂区 26 用以电性连接 N 型阱 20, 作为 p 型二极管的阴极。N+ 掺杂区 26 与 P+ 掺杂区 16 之间以 STI 区 14 相隔绝, 在深次微米 CMOS 制造过程技术下, 用来区隔相邻掺杂区的厚氧化层 (field-oxide region) 已经由原本的 LOCOS 技术改为用 STI 技术, 以缩短厚氧化层的区

域宽度，提升芯片集积密度。以 0.25 微米（ μm ）的 CMOS 制造过程而言，N+掺杂区 26 与 P+掺杂区 16 的接面深度大约是 0.2 微米，STI 区的深度大约是 0.4 微米。图 3 中的 n 型二极管（Dn）是以一 N+掺杂区 18 设于一 P 型阱 24 中以形成二极管的 pn 接面。N+掺杂区 18 作为 n 型二极管的阴极，
5 P+掺杂区 28 用以电性连接 P 型阱 24，作为 n 型二极管的阳极。P+掺杂区 28 与 N+掺杂区 18 之间以 STI 区 14 相隔绝。

然而，上述的 p 型或是 n 型二极管却非常容易受到静电放电应力的破坏，而造成了 IC 的静电放电耐受力非常的低。如同 Voldman 等人在 Proc.Of EOS/ESD Symp., 1998, pp.151-160 中的论文 “Semiconductor process and
10 structure optimization of shallow trench isolation-defined and polysilicon-bound source/drain diodes for ESD networks” 中描述。图 4 描绘了以 STI 作为隔绝的二极管结构，于发生静电放电时最容易的毁损点。其中，STI 区的边缘在制造过程完成之后经常会有一个凹陷结构 25。当发生静电放电造成 P+掺杂区 16 与 N 型阱形成逆向偏压时，凹陷结构 25 造成
15 了 PN 接面的击穿处位于 P+掺杂区与 STI 区的边界 23。因为边界处的散热面积毕竟有限，所以凹陷结构 25 便导致了如此的 PN 接面二极管有一个较低的静电放电耐受力。而且，当 P+掺杂区 16 上形成有金属硅化物 11 时，金属硅化物 11 于 STI 区的边界部位会形成一个下弯的转角 21。如此的转角更容易使二极管在静电放电应力下，导引大部分静电放电电流集中
20 流向区域 23，因而大幅降低该二极管的静电放电耐受度。也就是说，当 CMOS 制造过程运用 STI 制程与金属硅化物制程时，所制作出的二极管的静电放电耐受力便会大幅降低。即使将二极管的面积扩大也难以提升二极管的静电放电耐受力。

Voldman 同时也提出了一种能克服因 STI 结构所造成的静电放电耐受力降低的 p 型二极管结构，如图 5 所示。与图 2 相较之下，在 P+掺杂区
25

16 与 N+掺杂区 26 之间的 STI 区被多晶硅栅所取代。为了形成 P+掺杂区 16 与 N+掺杂区 26，栅极上的多晶硅层，靠近 P+掺杂区 16 处会被 P+掺杂物所注入（如 17 所标示），靠近 N+掺杂区 26 处会被 N+掺杂物所注入（如 19 所标示）。以类似的方式，也可以形成如图 6 的 n 型二极管结构。在图 5（或图 6）中，STI 区并没有靠在 P+掺杂区 16（或是 N+掺杂区 18）的边缘，所以 PN 接面附近并没有凹陷或是转角结构，因此，相较于传统的二极管结构，图 5 与图 6 的二极管结构可以承受较高的静电放电应力。

发明内容

本发明的主要目的，在于提供一种可以承受高静电放电应力的二极管结构，同时，提出相关的静电放电防护电路，以防止内部电路受到静电放电应力的损害。

根据上述的目的，本发明提出一种静电放电防护电路，包含有一二极管，该二极管包含有一第一导电型之第一半导体层以及一第二导电型之 MOS 晶体管。该第一半导体层的第一导电型掺杂区作为该二极管之一第一电极。该 MOS 晶体管包含有一环型栅，一第二导电型之第一源/漏掺杂区以及一第二导电型之第二源/漏掺杂区。环型栅绝缘地设于该第一半导体层上，与第一电极绝缘，以阻止 STI 厚氧化层在二极管结构上的生成。该/第二导电型之第一源/漏掺杂区形成于该环型栅极所围绕的该第一半导体层之表面，作为该二极管之一第二电极。该第二导电型之第二源/漏掺杂区形成于该第一半导体层的表面，且围绕该环型栅。其中，第一导电型为 N 型时，该第一电极为阴极，该第二电极为阳极；在第一导电型为 P 型时，该第一电极为阳极，该第二电极为阴极；其中，阴极耦合至第一接合垫，阳极耦合至第二接合垫。

该环型栅可以耦合至一静电放电侦测电路。在正常操作时，该静电放电侦测电路提供一第一电压予该环型栅，以关闭该 MOS 晶体管。在发生

静电放电时，该静电放电侦测电路提供一第二电压予该环型栅，以降低该二极管之一击穿电压。

该第一接合垫与该第二接合垫可以是一输出接合垫与一电源接合垫的组合，也可以是两电源接合垫的组合。

- 5 本发明另提出一种静电放电防护电路，包含有一 n 型二极管以及一 p 型二极管。该 n 型二极管包含有一 P 型半导体层以及一 NMOS 晶体管。该 P 型半导体层中的 P 型掺杂区作为一 n 型二极管之一第一阳极(anode)。该 NMOS 晶体管包含有一第一环型栅、一 N 型之第一源/漏掺杂区以及一 N 型的第二源/漏掺杂区。该第一环型栅绝缘地设于该 P 型半导体层上，与
- 10 第一阳极绝缘。该第一 N 型掺杂区形成于该第一环型栅所围绕的该 P 型半导体层之表面，其中的 N 型掺杂区作为一该 n 型二极管之一第一阴极。该第二 N 型掺杂区形成于该 p 型半导体层的表面，且围绕该环型栅。该 p 型二极管包含有一 N 型半导体层以及一 PMOS 晶体管。该 N 型半导体层的 N 型掺杂区作为该 p 型二极管之一第二阴极。该 PMOS 晶体管包含有
- 15 一第二环型栅、一第一 P 型漏掺杂区以及一第二 P 型掺杂区。第二环型栅绝缘地设于该 N 型半导体层上，与第二阴极绝缘。第一 P 型漏掺杂区形成于该第二环型栅所围绕的该 N 型半导体层之表面，作为该 p 型二极管之一第二阳极。该第二 P 型掺杂区形成于该 N 型半导体层之表面，且围绕该第二环型栅。该 p 型二极管与该 n 型二极管顺向串接，并形成一主阳极以及
- 20 一主阴极。该主阳极耦合至一高压电源接合垫，该主阴极耦合至一低压电源接合垫。

- 本发明另提供一种电源线间的静电放电防护系统，包含有多个高压电源线 VDD1...VDDN、多个低压电源线 VSS1...VSSN、一高压电源静电放电汇流线、一低压电源静电放电汇流线、一主要静电放电防护电路 PESDP、
- 25 多个高压电源静电放电防护电路 HESDP1...HESDPN 以及多个低压电源静

电放电防护电路 $LESDP_1 \cdots LESDP_N$ 。主要 (primary) 静电放电防护电路 $PESDP$ ，耦合于该高压电源静电放电汇流线与该低压电源静电放电汇流线之间。多个高压电源静电放电防护电路 $HESDP_1 \cdots HESDP_N$ 分别耦合于 $VDD_1 \cdots VDD_N$ 与该高压电源静电放电汇流线之间。多个低压电源静电放电防护电路 $LESDP_1 \cdots LESDP_N$ 分别耦合于 $VSS_1 \cdots VSS_N$ 与该低压电源静电放电汇流线之间。其中， $HESDP_1 \cdots HESDP_N$ 其中之一 $HESDP_n$ 包含有至少一二极管连接于一 VDD_n 与该高压电源静电放电汇流线之间。该二极管包含有一第一导电型的第一半导体层以及一第二导电型之 MOS 晶体管。该第一半导体层，其中的第一导电型掺杂区作为该二极管之一第一电极。该第二导电型的 MOS 晶体管包含有一环型栅、一第二导电型之第一源/漏掺杂区以及一第二导电型的第二源/漏掺杂区。该环型栅绝缘地设于该第一半导体层上，与第一电极绝缘。该第一源/漏掺杂区形成于该环型栅极所围绕的该第一半导体层的表面，作为该二极管之一第二电极。该第二导电型的第二源/漏掺杂区形成于该第一半导体层的表面，且围绕该环型栅。其中，当于 VDD_n 与 VSS_n 之间发生静电放电时，该二极管导通，通过 $HESDP_n$ 、 $PESDP$ 以及 $LESDP_n$ 排放静电放电电流。

本发明的优点在于静电放电电路中的二极管并没有 STI 区于 PN 接面附近，所以，可以避免 STI 区对 PN 接面所造成了低静电放电耐受力问题。

本发明的另一优点在于，当发生静电放电时，本发明的静电放电防护电路能于环型栅产生适当的偏压，能够降低二极管的导通电压，减少静电放电电流于二极管上所产生的功率，同时也提高了二极管的静电放电耐受力。

为使本发明的上述目的、特征和优点能更明显易懂，下文特举一较佳实施例，并配合所附图式，作详细说明如下：

附图说明

图 1a 与图 1b 为两个传统以二极管作为静电放电防护组件的静电放电防护电路；

图 2 与图 3 为两个传统的，以 CMOS 制造过程制作且带有 STI 结构的二极管结构与符号示意图；

图 4 描绘了以 STI 作为隔绝的二极管结构，在发生静电放电时最容易的毁损点；

图 5 与图 6 为 Voldman 先前所提出的现有 p 型与 n 型二极管结构；

图 7 为本发明所提出的 PMOS-bound 二极管的结构以及其代表的符号的示意图；

图 8 为图 7 的一种布局图；

图 9 为本发明所提出的 NMOS-bound 二极管的结构以及其代表的符号的示意图；

图 10 为图 9 之一一种布局图；

图 11 为加入 N 型静电放电注入制造过程后的 NMOS-bound 二极管；

图 12 为加入 P 型静电放电注入制造过程后的 PMOS-bound 二极管；

图 13a 与图 13b 为两个运用 NMOS-bound 二极管与 PMOS-bound 二极管的静电放电防护电路图；

图 14a 到图 14d 为以 PMOS-bound 二极管或 NMOS-bound 二极管作为静电放电防护组件的电源线间（VDD 到 VSS）的四种静电放电防护电路图；

图 15a 至图 15d 为运用 NMOS-bound 二极管所产生的电源线间的静电放电箝制电路；

图 16a 至图 16d 为运用 PMOS-bound 二极管所产生的电源线间之静电放电箝制电路；

图 17a 至图 17c 为同时运用 PMOS-bound 二极管与 NMOS-bound 二极管所产生的电源线间的静电放电箝制电路；

图 18a 至图 18d 为利用本发明的二极管结构所建构的四种静电放电防护系统的示意图；以及

5 图 19a 至图 19d 为运用本发明的二极管结构与 ESD 汇流线所建构的静电放电防护系统示意图。

具体实施方式

PMOS-bound 二极管与 NMOS-bound 二极管的结构

10 图 7 为本发明所提出的 p 型二极管,又称为 PMOS 环绕(PMOS-bound)的二极管的结构以及其代表的符号的示意图。而其相对应的一布局图实施例则表示于图 8。图 7 中的 PMOS-bound 的结构图即为图 8 中的 aa'之间的剖面图。PMOS-bound 二极管的结构中包含了一个 PMOS 结构。多晶硅栅 50 所环绕的 P+掺杂区 44a,类似 PMOS 的一个源/漏极区,作为 PMOS-bound
15 二极管的阳极。P+掺杂区 44b,类似 PMOS 的另一个源/漏极区,环绕了多晶硅栅 50。N+掺杂区 46,与 P+掺杂区 44b 直接接触,作为 N 型阱 42 的电接触点,同时也作为 PMOS-bound 二极管的阴极。在 PMOS-bound 二极管中,PMOS 的多晶硅栅 50 完全被 P+所注入,因此形成了 P+掺杂的多晶硅栅 50,作为 PMOS-bound 二极管的栅极 Gp。也就是说 PMOS-bound 二
20 极管中的 PMOS 可以伴随着一般的 PMOS 而形成。图 7 以及图 8 可知,由 P+掺杂区 44a 与 N 型阱 42 所形成的 PN 接面附近并没有 STI 区 48,所以可以避免 STI 区的凹陷所产生的问题。同样的,金属硅化物制程所导致的转角(图 4 中所示)也可以被多晶硅栅 50 的侧壁上的侧间隙壁所阻挡而不会形成。也就是说,图 4 中导致静电放电耐受力降低的凹陷与转角均不
25 会出现在本发明的 PMOS-bound 二极管。同时,只要有多晶硅栅 50 施加一

适当的偏压，也可以加速 PMOS-bound 二极管的开启速度，而更早的传导静电放电电流，以保护内部电路。因此，作为 ESP 防护组件时，PMOS-bound 二极管在发生静电放电时可以承受较高的静电放电应力。而且，本发明的 PMOS-bound 二极管完全兼容于 STI CMOS 制程，并不需要额外的制造过程步骤。

相同的道理，可以用来形成 n 型二极管。图 9 为本发明所提出的 n 型二极管，又称为 NMOS 环绕（NMO-bound）的二极管的结构以及其代表的符号的示意图。而其相对应的一布局图实施例则表示在图 10。图 9 中的 NMOS-bound 的结构图，即为图 10 中的 bb' 之间的剖面图。NMOS-bound 二极管的结构中包含了一个 NMOS 结构。多晶硅栅 50' 所环绕的 N+ 掺杂区 46a，类似 NMOS 的一个源/漏极区，作为 NMOS-bound 二极管的阴极。N+ 掺杂区 46b，类似 NMOS 的另一个源/漏极区，环绕了多晶硅栅 50'。P+ 掺杂区 44，与 N+ 掺杂区 46b 直接接触，作为 P 型阱 52 的电接触点，同时也作为 NMOS-bound 二极管的阳极。在 NMOS-bound 二极管中，NMOS 的多晶硅栅 50' 完全被 N+ 所注入，因此形成了 N+ 掺杂的多晶硅栅 50'、作为 NMOS-bound 二极管的栅极 G_n 。也就是说 NMOS-bound 二极管中的 NMOS 可以伴随着一般的 NMOS 而形成。图 9 以及图 10 可知，由 N+ 掺杂区 46a 与 P 型阱 52 所形成的 PN 接面附近并没有 STI 区，所以可以避免 STI 区的凹陷所产生的问题。同样的，金属硅化物制造过程所导致的转角（图 4 中所示）也可以被多晶硅栅 50' 的侧壁上的侧间隙壁所阻挡而不会形成。也就是说，图 4 中导致静电放电耐受力降低的凹陷与转角均不会出现在本发明的 NMOS-bound 二极管。同时，只要有多晶硅栅 50' 施加一适当的偏压，也可以加速 NMOS-bound 二极管的开启速度，而更早的传导静电放电电流，以保护内部电路。因此，当 NMOS-bound 二极管作为静电放电防护组件时，NMOS-bound 二极管在发生静电放电时可以承受较高的静电放电应力。相同

的，本发明的 NMOS-bound 二极管完全兼容于 STI CMOS 制程，并不需要额外的制造过程步骤。

在一些比较先进的 CMOS 制造过程中，会多加入静电放电离子注入来覆盖作为静电放电防护组件的 MOS 的 LDD (lightly-doped drain) 结构，或者说，消除了 MOS 的 LDD 结构而成为 DDD (double diffused drain) 结构。如此，可以增加 MOS 组件的静电放电耐受力。相同的静电放电注入制造过程也可以使用于本发明的 PMOS-bound 二极管以及 NMOS-bound 二极管。图 11 为加入 N 型静电放电注入制程后的 NMOS-bound 二极管。静电放电离子注入于 P 型阱 52 中形成了 N-的静电放电防护掺杂层 54，包

10 覆了 N+掺杂区 46a 与 46b。图 12 为加入 P 型静电放电注入制造过程后的 PMOS-bound 二极管。静电放电离子注入于 N 型阱 42 中形成了 P-的静电放电防护掺杂层 56，包覆了 P+掺杂区 44a 与 44b。如此没有 LDD 结构的 PMOS-bound 二极管与 NMOS-bound 二极管可以承受更高的静电放电应力。

15 利用本发明的 PMOS-bound 二极管或 NMOS-bound 二极管，可以设计出许多新的静电放电防护电路。

输出/入接合垫的静电放电防护电路

请参阅图 13a 与图 13b。图 13a 与图 13b 为运用 NMOS-bound 二极管与 PMOS-bound 二极管的两种静电放电防护电路图。图 13a 中，PMOS-bound 二极管 Dp1 连接于输出/入接合垫 10 与 VDD 之间，Dp1 的栅极 Gp，通过了电阻 Rp，连接到 VDD。NMOS-bound 二极管 Dn1 连接于输出/入接合垫 10 与 VSS 之间，Dn1 的栅极 Gn，通过了电阻 Rn，连接到 VSS。所以，当集成电路正常工作时，在二极管内的 NMOS 与 PMOS 均为关闭状态二在图 13b 中，栅耦合 (gate-couple) 技术运用来控制 Dp1 与 Dn1 的栅极。当集成电路

20 正常工作时，因为栅极的连接，在二极管内的 NMOS 与 PMOS 均为关闭状

25

态。在 PS 模式的静电放电事件时，VSS 接地而 VDD 浮动，在输出接合垫 10 的静电放电正脉冲会耦合到 Dn1 的栅极 Gn。在栅极 Gn 有一正偏压下，Dn1 会更快的导通（击穿）以传导静电放电电流。因此，内部电路 12 可以被有效地保护着。相同的道理，在 ND 模式的静电放电事件时，VDD 接地而 VSS 浮动，在输出接合垫 10 的静电放电负脉冲会耦合到 Dp1 的栅极 Gp。在栅极 Gp 有一负偏压下，Dp1 会更快的导通（击穿）以传导静电放电电流。因此，内部电路 12 可以被有效地保护着。而在 NS（或是 PD）模式时，Dn1（或是 Dp1）被顺向偏压，所以静电放电电流便透过 Dn1（或是 Dp1）流到 VSS（或是 VDD）而释放。

10 电源线间的静电放电箝制（clamp）

电路图 14a 到图 14d 为四个以 PMOS-bound 二极管或 NMOS-bound 二极管作为静电放电防护组件的电源线间（VDD 到 VSS）的静电放电防护电路图，或称为静电放电箝制（clamp）电路图。图 14a 中，NMOS-bound 二极管连接在 VDD 与 VSS 之间，NMOS-bound 二极管之栅极 Gn 受控于一个静电放电侦测电路 60a。静电放电侦测电路 60a 以一个串联的电阻 R 与电容 C 来侦测静电放电事件的发生，以反向器 INV 来驱动栅极 Gn。电容 C 与电阻 R 所形成的时间常数约 1 微秒（ μs ）。在正常的 IC 工作状态时，驱动栅极 Gn 被反向器 INV 偏压在 VSS，所以 NMOS-bound 二极管中的 NMOS 为关闭状态。当一正偏压的静电放电脉冲发生于 VDD 上，而 VSS 接地时，因为 RC 时间延迟的原因，电容 C 会暂时的停留在低电压（大约与 VSS 相同电位）。所以，INV 会以静电放电的能量对 Gn 进行充电，使 Gn 达到一个高电压。因此，NMOS-bound 二极管中的 NMOS 被开启，可以加速 NMOS-bound 二极管的击穿，而将静电放电电流由 VDD 排放到 VSS。当一负偏压的静电放电脉冲发生于 VDD 上，而 VSS 接地时，NMOS-bound 二极管中的 PN 接面为顺向偏压，所以可以直接的导通以排放静电放电电流。

正请参阅图 14b。图 14b 的静电放电箝制电路，与图 14a 类似，是以一 PMOS-bound 二极管作为一静电放电防护组件。侦测电路 60b 一样的包含了一个串联的电阻 R 与电容 C。电阻 R 与电容 C 构成了一个时间常数约为 1 微秒的 RC 延迟电路，以区别静电放电事件与正常的 IC 操作。在正常的 IC 5 工作状态时，驱动栅极 Gp 被偏压在 VDD，所以 PMOS-bound 二极管中的 PMOS 为关闭状态。当一正偏压的静电放电脉冲发往于 VDD 上，而 VSS 接地时，因为 RC 时间延迟的原因，电容 C 会暂时的停留在低电压（大约与 VSS 相同电位），也就是使 Gp 偏压在一个低电压。因此，PMOS-bound 二极管中的 PMOS 被开启，可以加速 PMOS-bound 二极管的击穿，而将静电放电电流由 VDD 排放到 VSS。当一负偏压的静电放电脉冲中发生于 VDD 上，10 而 VSS 接地时，PMOS-bound 二极管中的 PN 接面为顺向偏压，所以可以直接的导通以排放静电放电电流。

请参阅图 14c。图 14c 的静电放电箝制电路，与图 14a 类似，是以一 NMOS-bound 二极管作为一静电放电防护组件。侦测电路 60c 一样的包含了一个串联的电阻 R 与电容 C，利用栅耦合（gate-couple）动作来导通该 15 NMOS-bound 二极管，以区别静电放电事件与正常的 IC 操作。在正常的 IC 工作状态时，驱动栅极 Gn 被偏压在 VSS，所以 NMOS-bound 二极管中的 NMOS 为关闭状态。当一正偏压的静电放电脉冲发生于 VDD 上，而 VSS 接地时，因电容 C 的耦合效应，Gn 会暂时地偏压在一耦合的高电压（该电压 20 高于 NMOS 的临界电压 V_{th} ）。因此，NMOS-bound 二极管中的 NMOS 被开启，可以加速 NMOS-bound 二极管的击穿，而将静电放电电流由 VDD 排放到 VSS。当一负偏压的静电放电脉冲发生于 VDD 上，而 VSS 接地时，NMOS-bound 二极管中的 PN 接面为顺向偏压，所以可以直接的导通以排放静电放电电流。

25 请参阅图 14d。图 14d 的静电放电箝制电路是以一 PMOS-bound 二极

管作为一静电放电防护组件。侦测电路 60d 一样的包含了一个串联的电阻 R 与电容 c，利用栅耦合（gate-couple）动作来导通该 PMOS-bound 二极管，以区别静电放电事件与正常的 IC 操作。在正常的 IC 工作状态时，驱动栅极 Gp 被偏压在 VDD，所以 PMOS-bound 二极管中的 PMOS 为关闭状态。当一正偏压的静电放电脉冲发生于 VDD 上，而 VSS 接地时，因为电容 C 的耦合效应，INV 的输入端会暂时的停留在一耦合的高电压。因此，INV 的输出会提供 Gp 一个低电压。因此，PMOS-bound 二极管中的 PMOS 被开启，可以加速 PMOS-bound 二极管的击穿，而将静电放电电流由 VDD 排放到 VSS。当一负偏压的静电放电脉冲发生于 VDD 上，而 VSS 接地时，PMOS-bound 二极管中的 PN 接面为顺向偏压，所以可以直接的导通以排放静电放电电流。

以堆栈的二极管构成的电源线间的静电放电箝制（clamp）电路

另一种形式的电源线间的静电放电箝制电路是以堆栈的二极管架构而成，如图 15 到图 17 所示。其中，多个二极管由 VDD 顺向的堆栈到 VSS，以形成静电放电电流放电路径。堆栈的二极管可以视为一个具有激活电压为个别堆栈二极管和激活电压总合的大二极管。于正常操作时，只要堆栈二极管的数目足够，VDD 与 VSS 的电压差低于大二极管的激活电压，大二极管为关闭状态。当相对于 VSS 和正冲击静电放电脉冲出现于 VDD 时，静电放电应力会高于大二极管的激活电压，使大二极管顺向偏压而释放静电放电电流。因此，只要适当的调整堆栈二极管的数目，便可以达到静电放电防护的目的。如此形式的静电放电箝制电路更适用于 SOI（Silicon-on-insulator）CMOS 制造过程。

在图 15a 中，所有堆栈的 NMOS-bound 二极管的栅极均通过一个电阻 R 连接到 VSS，每一个 NMOS-bound 二极管可以视为一个固定偏压二极管，其环行栅连接到 VSS。在图 15b 中，每一个堆栈的 NMOS-bound 二极管的

栅极均耦合到自己的阴极，其中每一个 NMOS-bound 二极管可以视为一个自我偏压二极管。在图 15c 中，运用了栅耦合的技术，所有堆栈 NMOS-bound 之栅极 G_n 与 VDD 之间设置了一个电容 C。图 15d 中，所有的堆栈 NMOS-bound 的栅极以反向器 INV 驱动，并以一 RC 延迟电路来侦测静电放电事件的发生。

类似的道理，图 16a 到图 16d 是四种以 PMOS-bound 二极管为实施例的堆栈二极管的静电放电箝制电路示意图，其中图 16a 中的每一个 PMOS-bound 二极管可以视为一个固定偏压二极管，图 16b 中的每一个 PMOS-bound 二极管可以视为一个自我偏压二极管。当然的，堆栈二极管并非一定要只使用一种二极管，可以混合使用不同型态的二极管。图 17a 到图 17c 为三种混合使用 PMOS-bound 二极管与 NMOS-bound 二极管所构成的静电放电箝制电路示意图。

整体芯片的静电放电防护系统

对于一复杂的超大规模集成电路(Ultra Large Scale Integrated circuit , ULSI)而言，供应给不同电路群组的电源线经常是分开来，以预防彼此间噪声的干扰。只是，在发生静电放电时，分开的电源线设计却往往使内部电路或是分开的电源线间的接口电路产生不预期的静电放电损害。因此，为了预防静电放电损害的发生，必须在分开的电源线间设置静电放电防护电路，架设成整体芯片的静电放电防护系统。本发明的 NMOS-bound 以及 PMOS-bound 均可运用于整体芯片的静电放电防护系统，如图 18a 到图 18d 所示。在图 18a 至图 18d 里，VDD1 与 VDD2 分开且分别供应第一电路群 70a 与第二电路群 70b 电源。VSS1 与 VSS2 也一样分开。第一电源线间箝制电路 72a 设于 VDD1 与 VSS1 之间，第二电源线间箝制电路 72b 设于 VDD2 与 VSS2 之间。在图 18a 图中，为了提供两个分开的 VDD (或是 VSS)之间的静电放电防护，堆栈串接的 PMOS-bound (或是 NMOS-bound)

连接在 VDD (VSS) 电源线之间。只要 VDD (VSS) 电源线间的电压差大于一定程度, 堆栈串接的 PMOS-bound (或是 NMOS-bound) 便可以导通而连接两电源线。堆栈的 PMOS-bound (或是 NMOS-bound) 的数目取决于 VDD1 与 VDD2 之间的噪声尺度 (noise margin) 或是电压差。如果要阻挡较大的噪声, 或是 VDD1 与 VDD2 之间的工作电压差较大, 则二极管堆栈的数目必须增多。在图 18a 中, 每个 PMOS-bound 二极管之栅极连接到自己的阳极, 每个 NMOS-bound 二极管之栅极连接到自己的阴极。图 18b 中的整体芯片静电放电防护系统完全以 PMOS-bound 二极管所构成。在图 18c 中, 顺向接于 VDD1 到 VDD2 之间的 PMOS-bound 二极管的栅极受控于由 R1 与 C1 所构成的 RC 延迟电路。而逆向接于 VDD1 到 VDD2 之间的 PMOS-bound 二极管的栅极受控于由 R2 与 C2 所构成的 RC 延迟电路。在图 18d 中, 顺向接于 VSS1 到 VSS2 之间的 NMOS-bound 二极管的栅极受控于由 R2 与 C2 所构成的 RC 延迟电路。而逆向接于 VSS1 到 VSS2 之间的 NMOS-bound 二极管的栅极受控于由 R1 与 C1 所构成的 RC 延迟电路。

另一种整体芯片静电放电防护系统是运用了 ESD 汇流线 (Bus line), 如图 19a 到图 19d 所示。串联堆栈的 PMOS-bound 二极管与 NMOS-bound 二极管连接在分开的电源线与 VDD ESD 汇流线或是 VSS ESD 汇流线之间。VDD (或是 VSS) 汇流线在 IC 中, 一般是以宽大的金属线, 环绕整个芯片所构成, 以方便连接个别的电路群。而任何一个 VDDn 与 VDD 汇流线之间都连接有一个高压电源静电放电防护电路 HESDPn, 任何一个 VSSn 与 VSS 汇流线之间都连接有一个低压电源静电放电防护电路 LESDPn。譬如说, 当 VDD1 产生了正脉冲, 而 VSS3 接地的静电放电事件时, 静电放电电流将会经由 VDD1, 通过 HESDP1 中的顺向偏压的 PMOS-bound 二极管到 VDD ESD 汇流线, 然后经过电源线间箝制电路 72 到 VSS ESD 汇流线, 最后通过

LESDP1 中的顺向偏压的 NMOS-bound 二极管而释放到 VSS3，达到静电放电防护的目的。图 19a 到图 19d 为串联堆栈的 PMOS-bound 二极管或 NMOS-bound 二极管的栅极的四种不同连接方式，同样都可以达到静电放电防护的目的。

5 图 18 与图 19 中的电源线间箝制电路 72 均可以运用图 14 至图 17 的电路来实践。

本发明串联堆栈的 PMOS-bound 或是 NMOS-bound 二极管的串联数目可以因电压差异或是噪声程度而作适当的调整，并不限于二个或是三个。

10 本发明虽以较佳实施例揭露如上，然其并非用以限定本发明，任何熟习此项技艺者，在不脱离本发明的精神和范围内，当可做些许的更动与润饰，因此本发明的保护范围当以权利要求书所要求保护的范围为准。

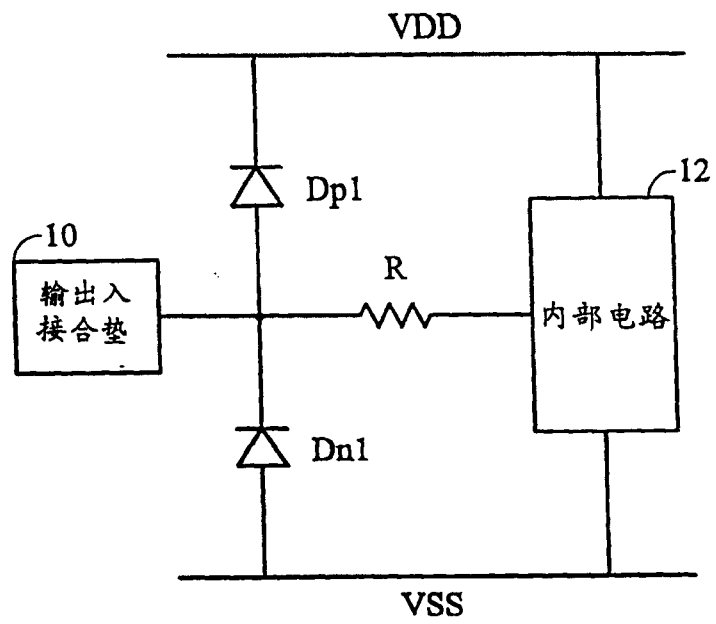


图 1a

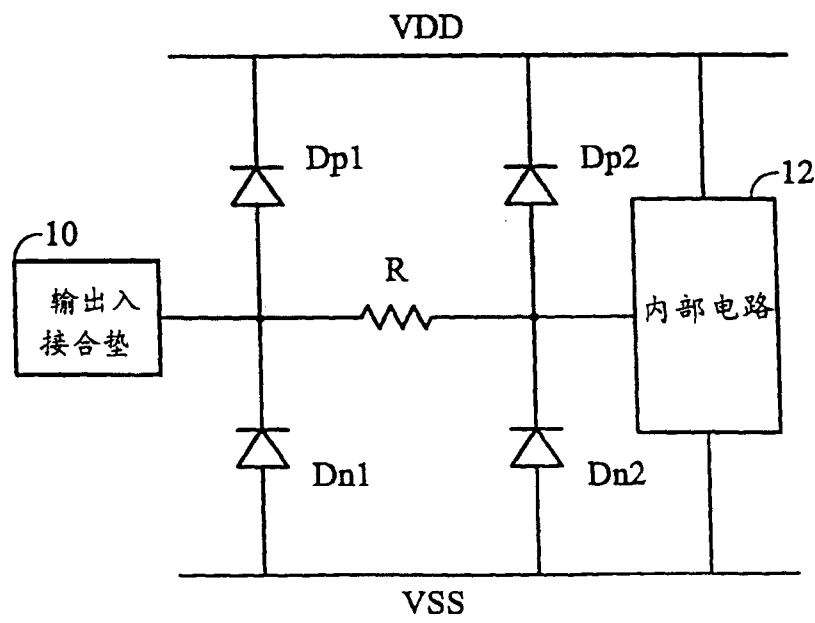


图 1b

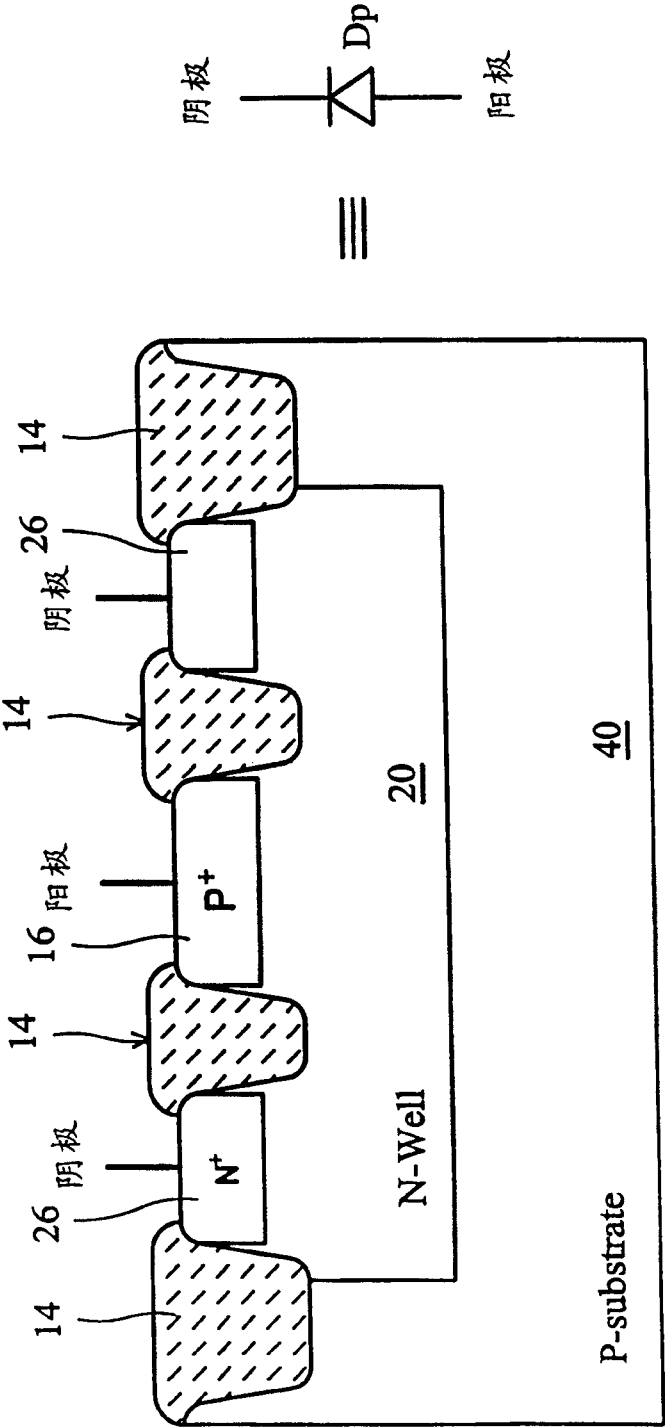


图 2

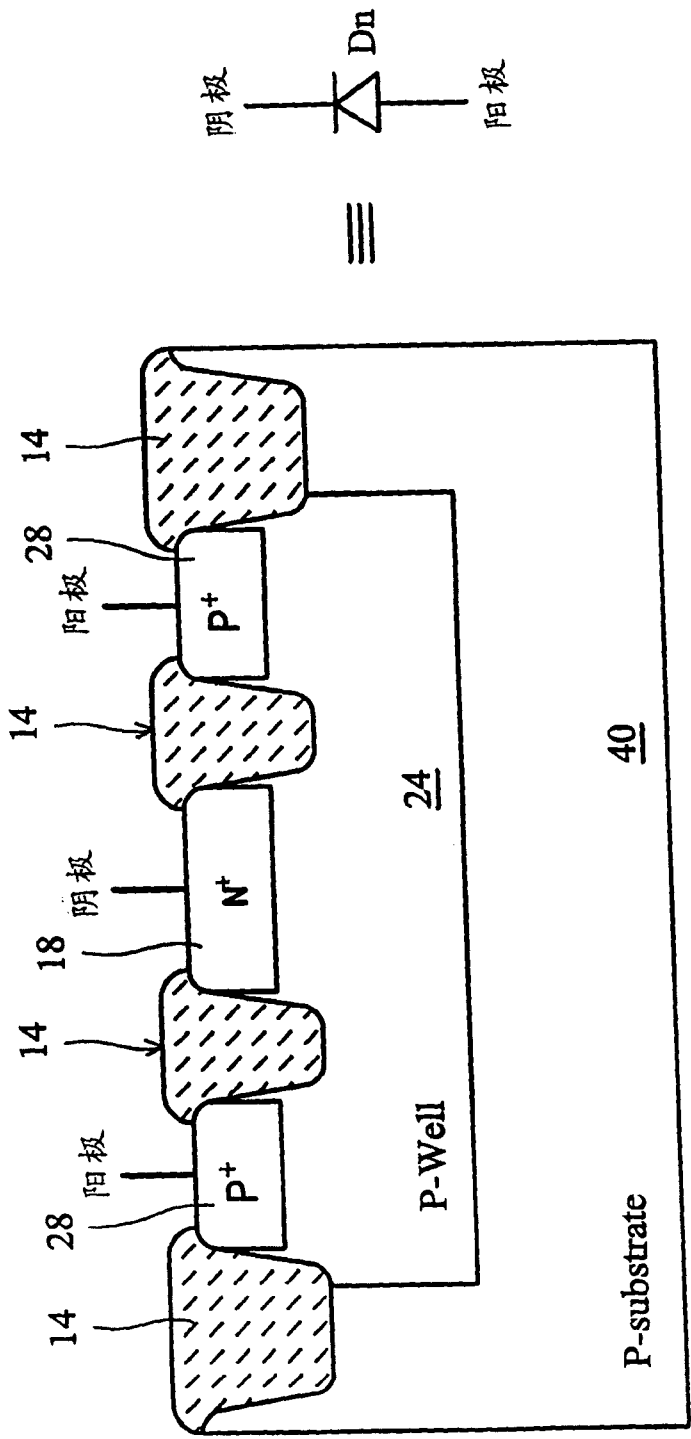


图 3

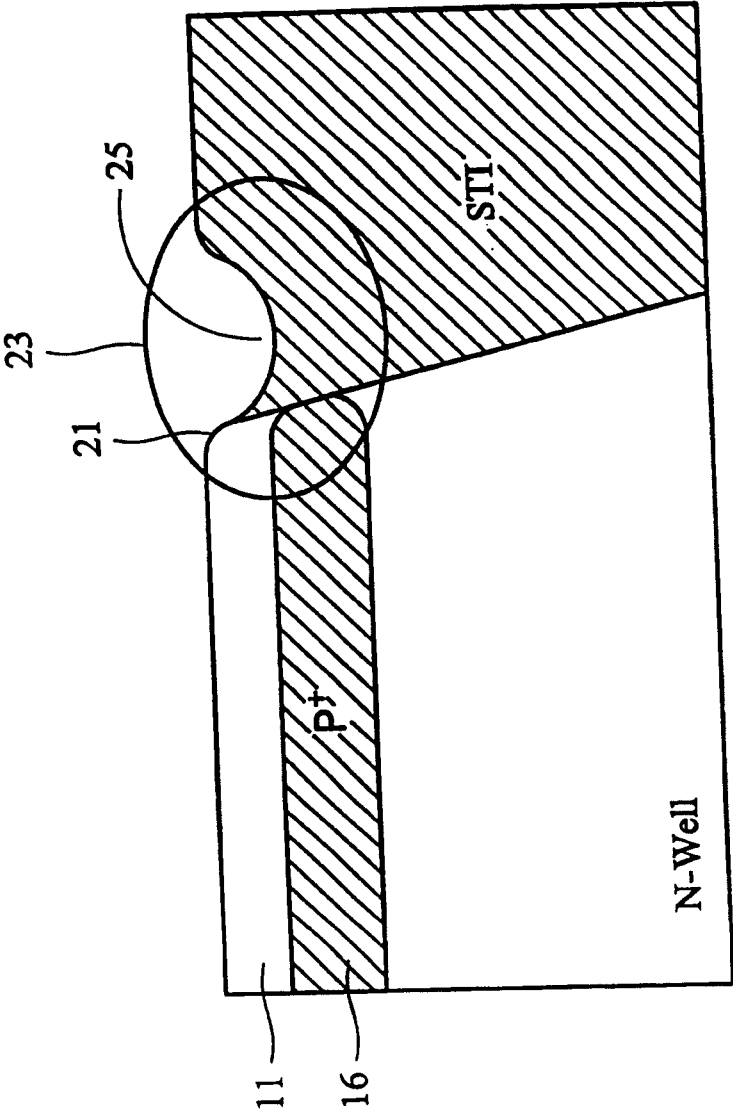
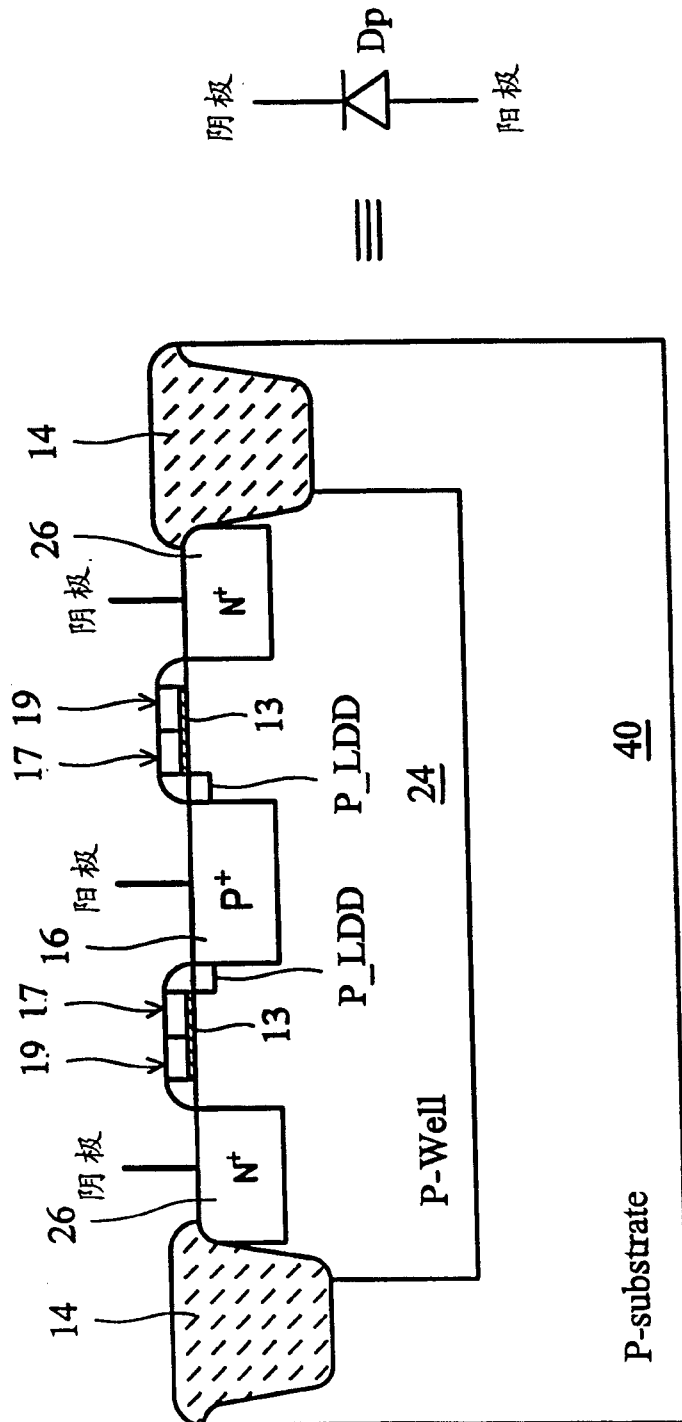
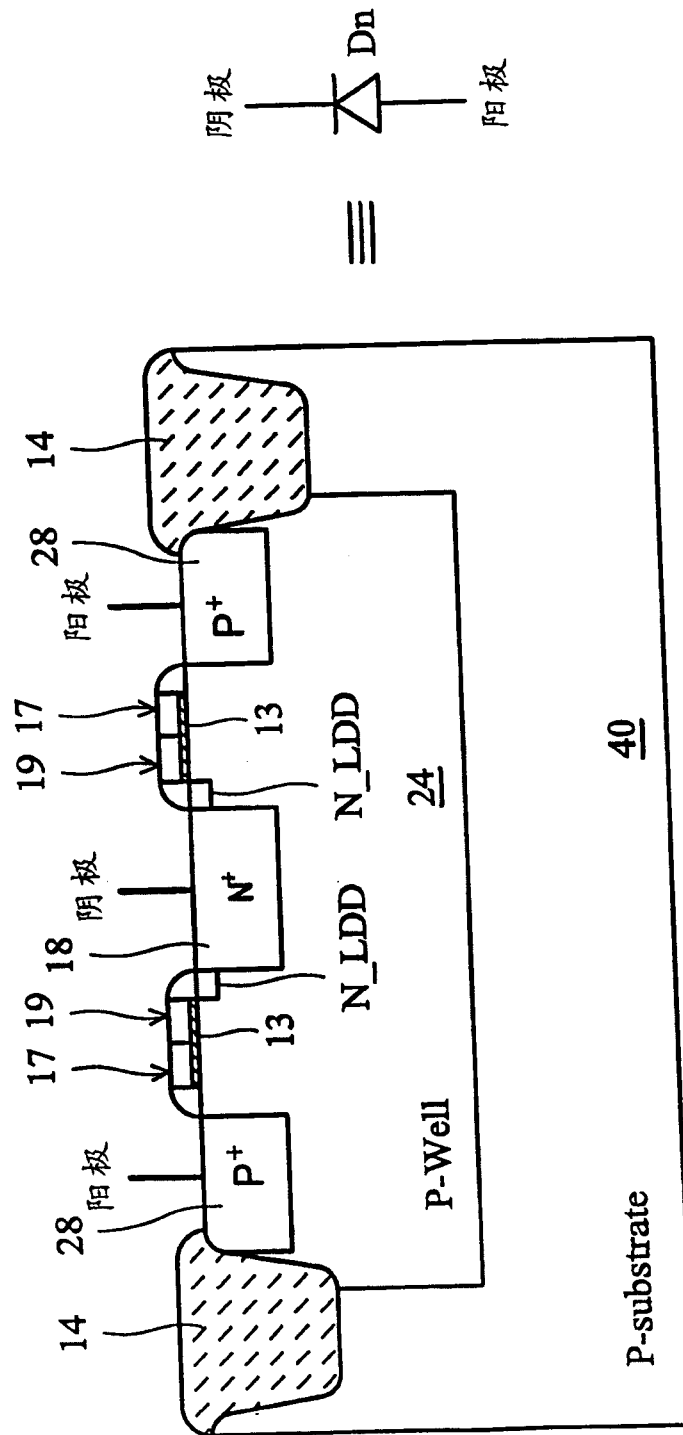


图 4



五



9

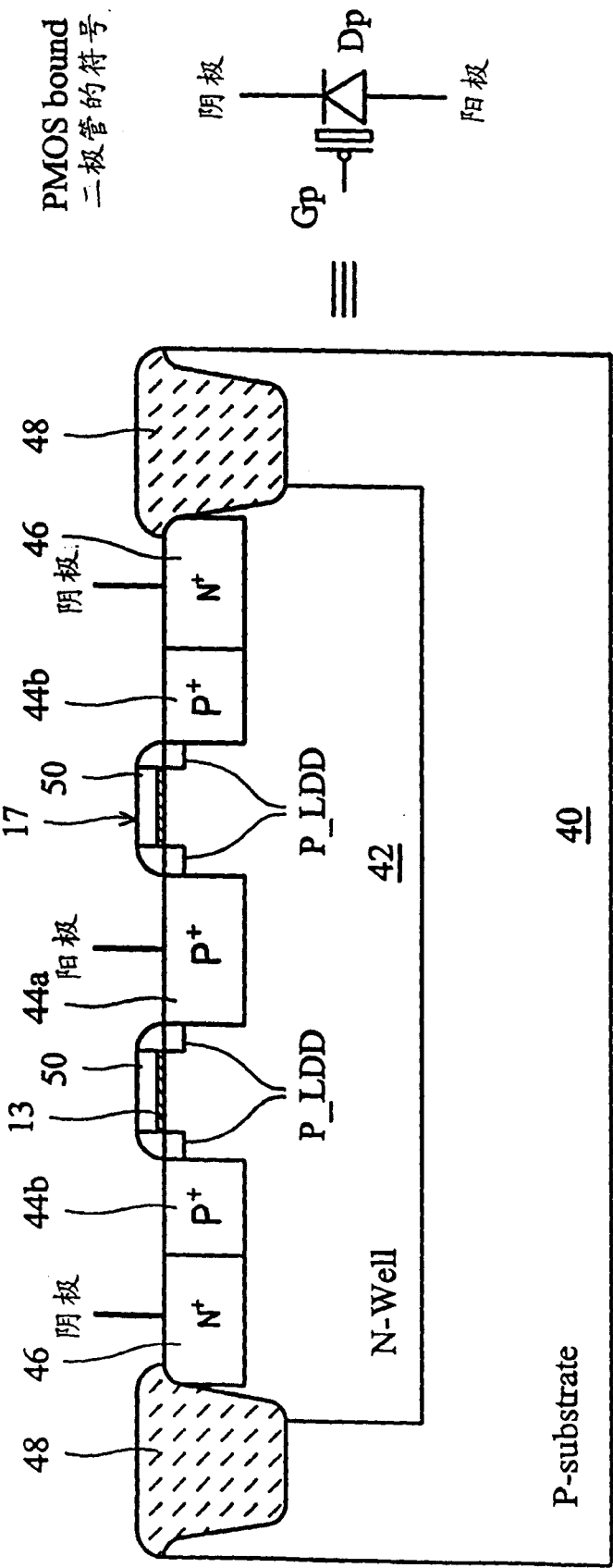


图 7

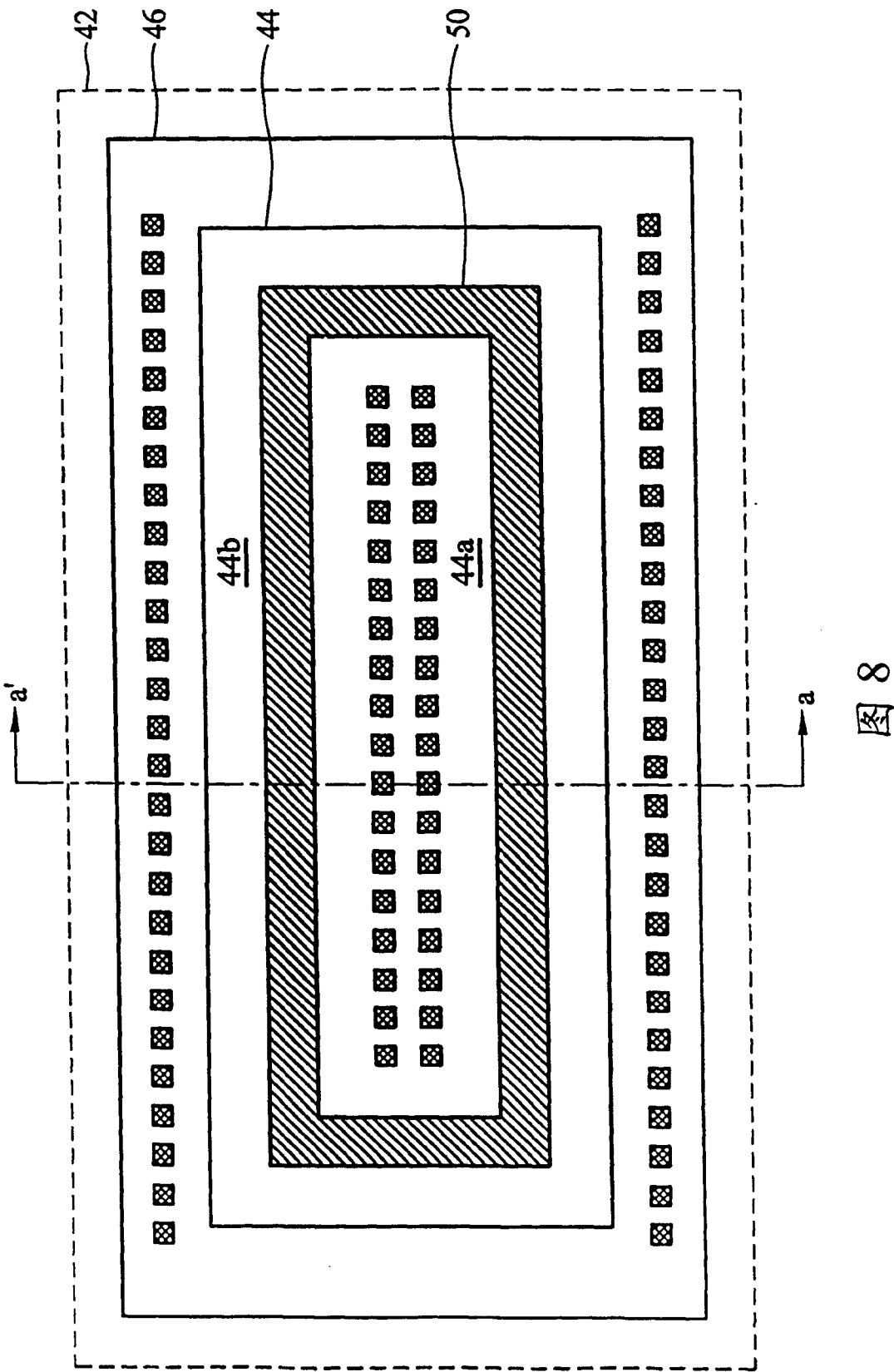


图 8

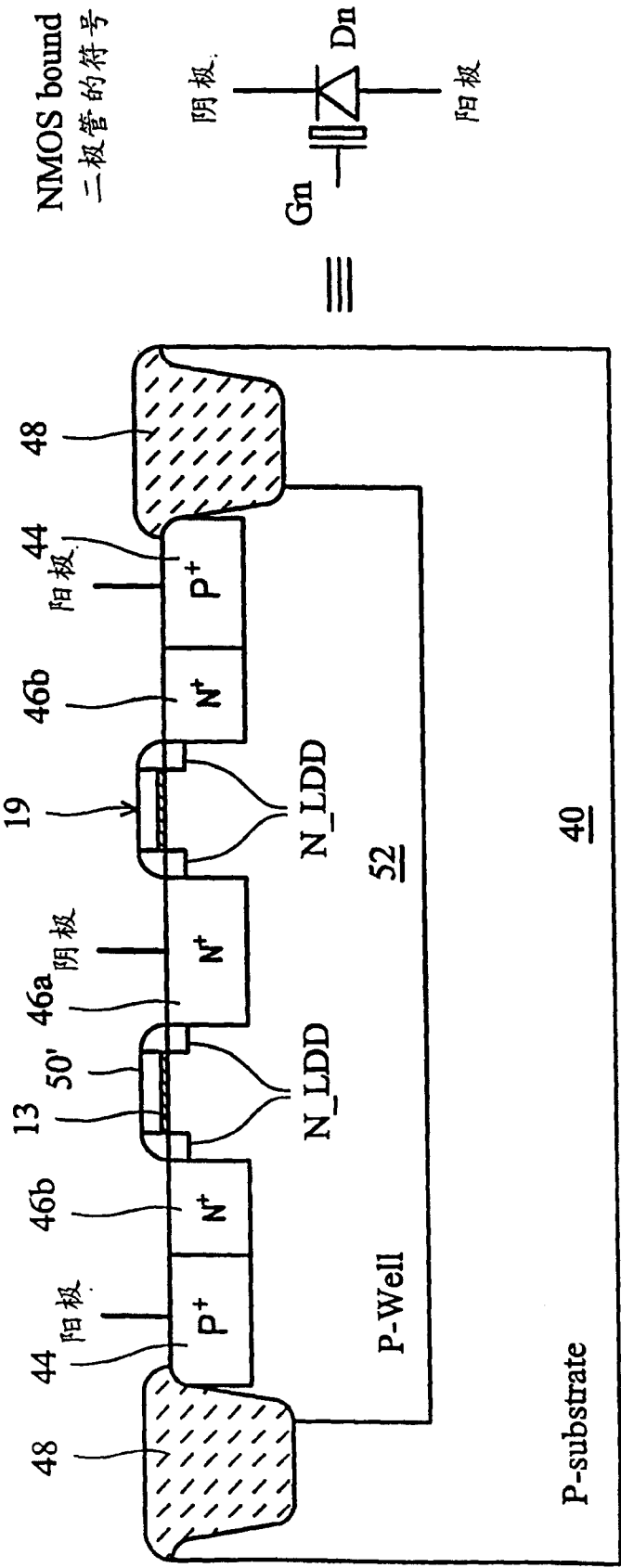


图 9

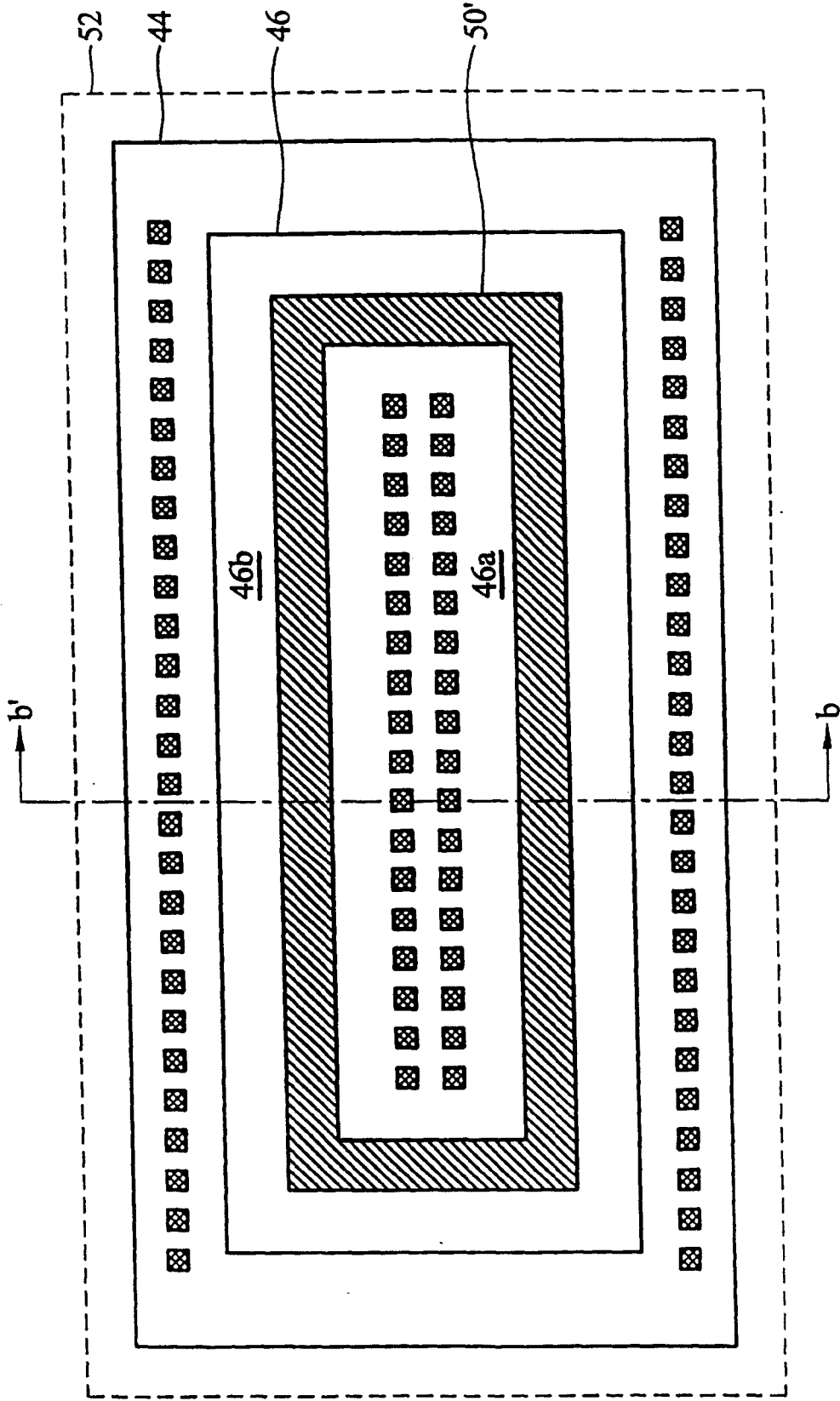
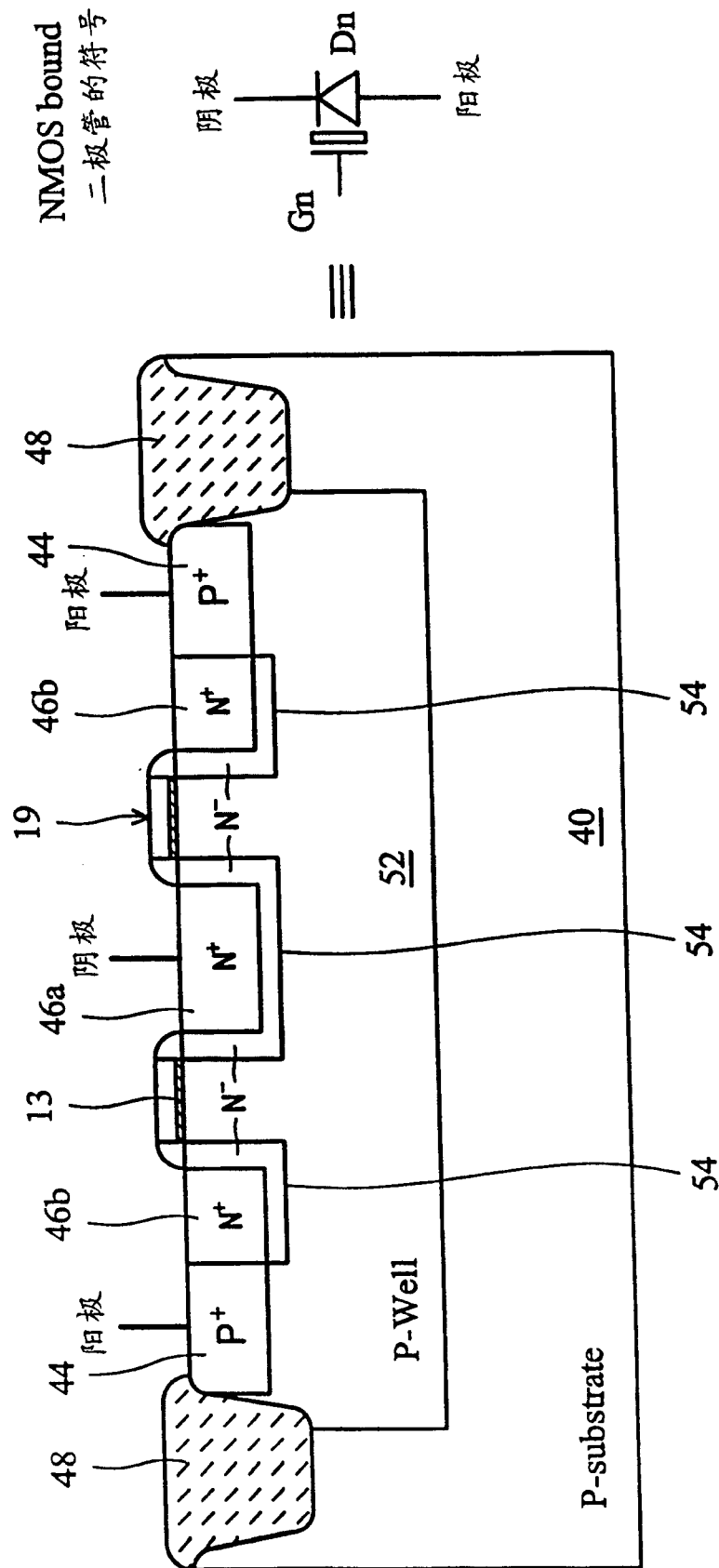


图 10



四十一

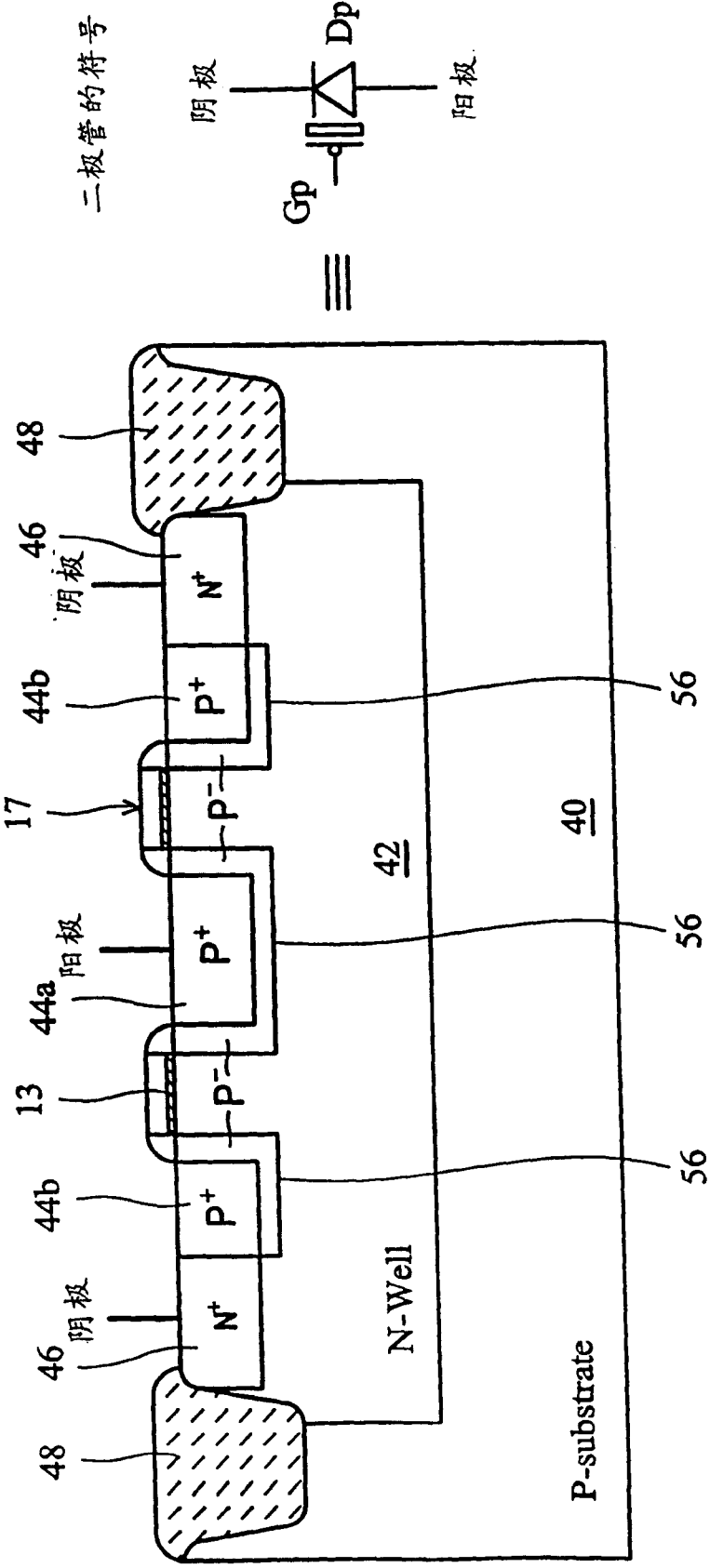


图 12

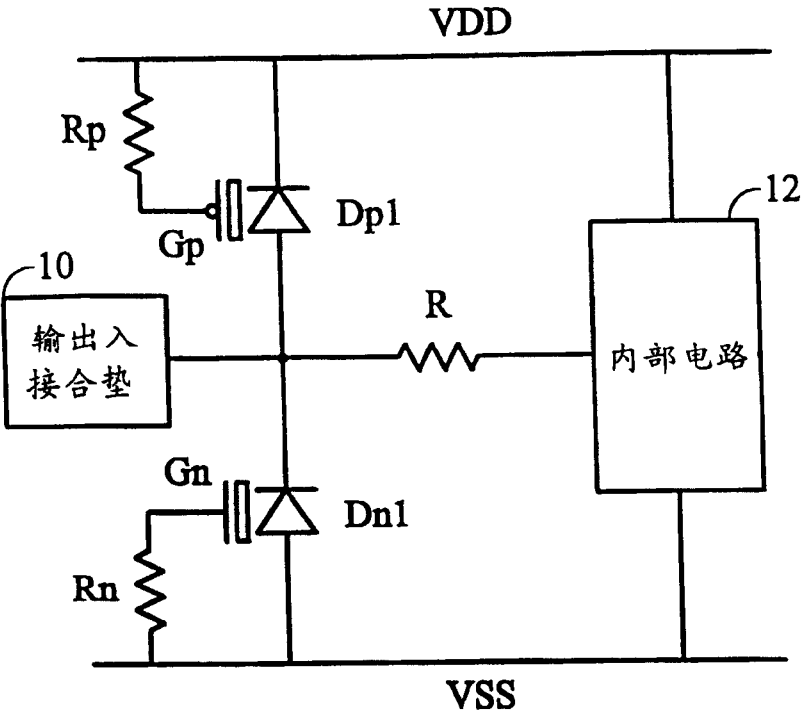


图 13a

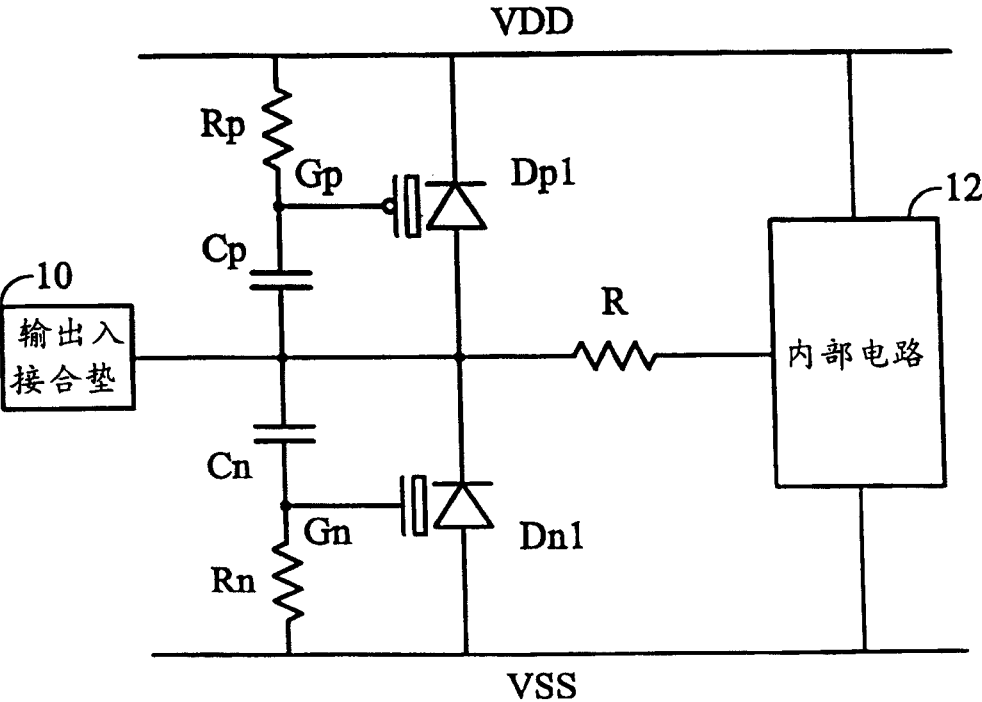


图 13b

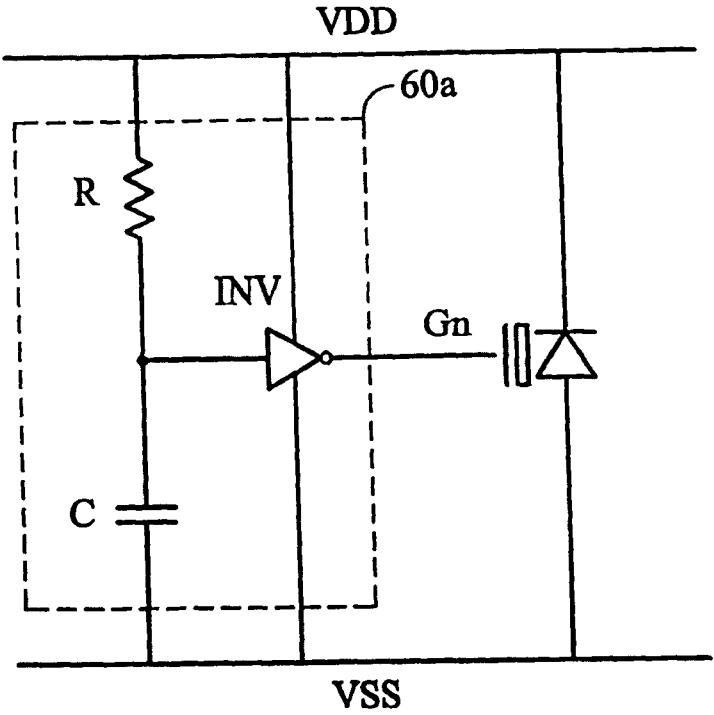


图 14a

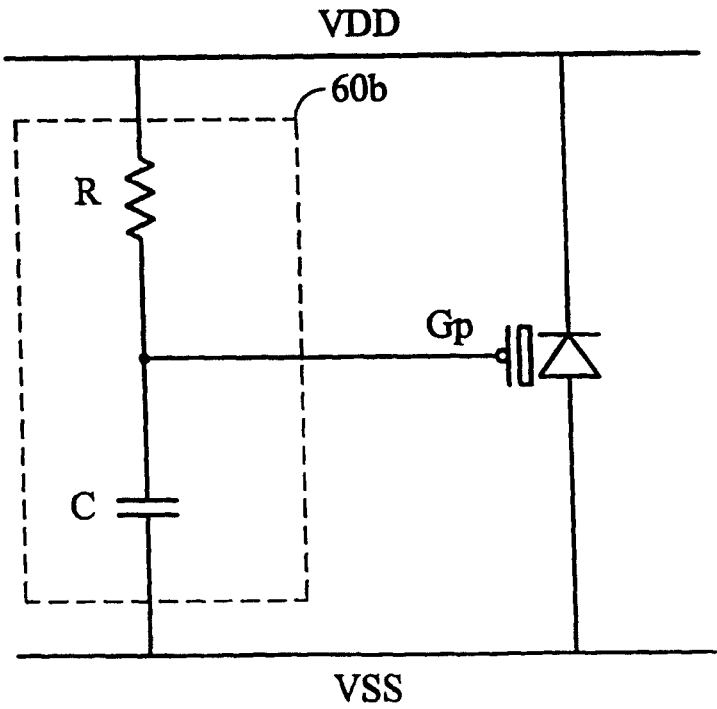


图 14b

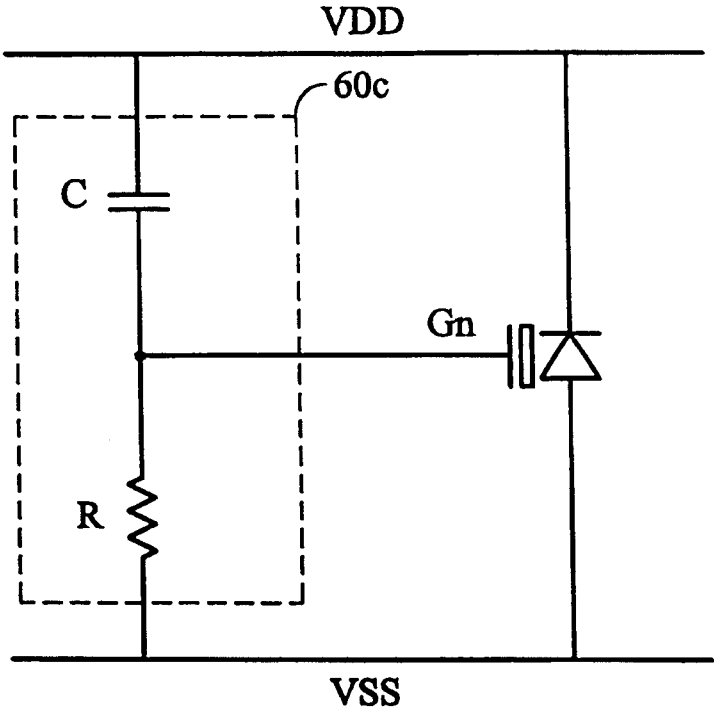


图 14c

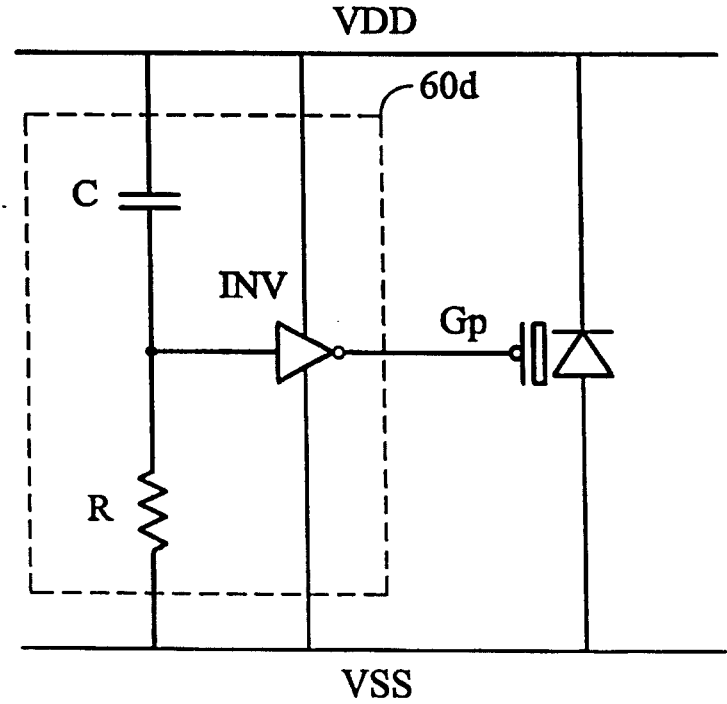


图 14d

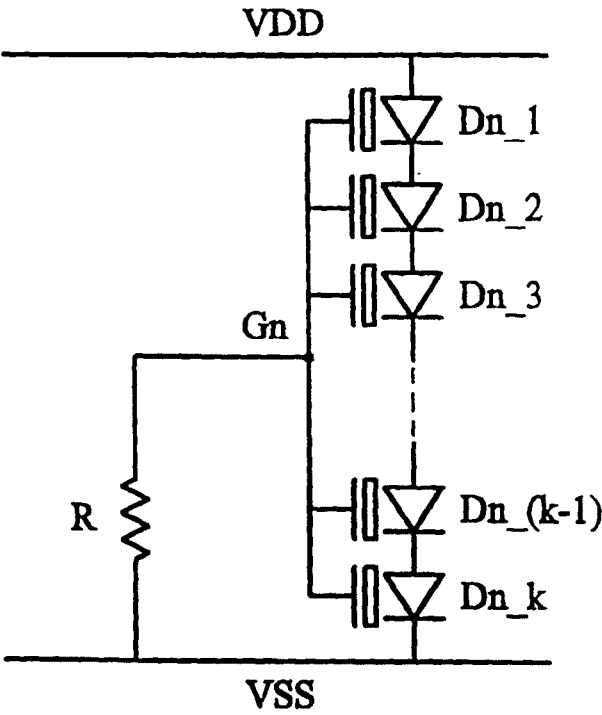


图 15a

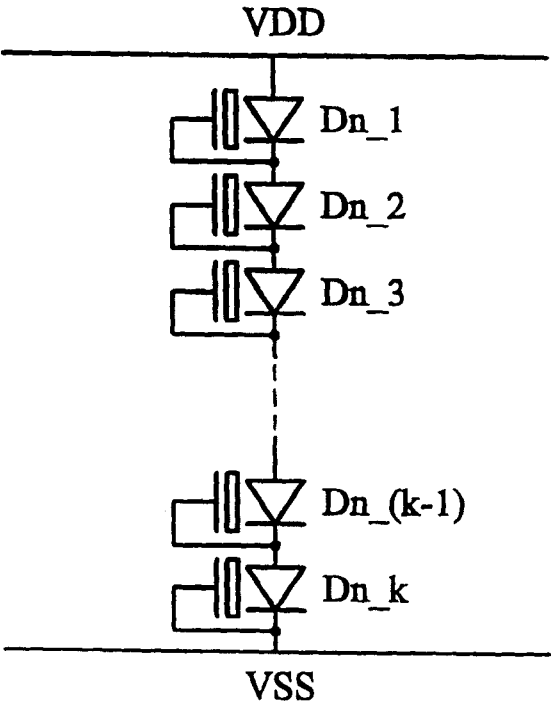


图 15b

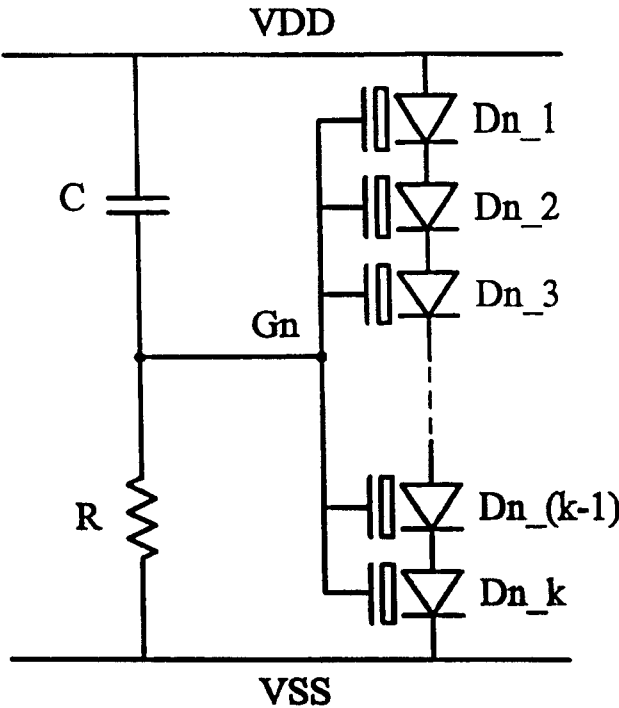


图 15c

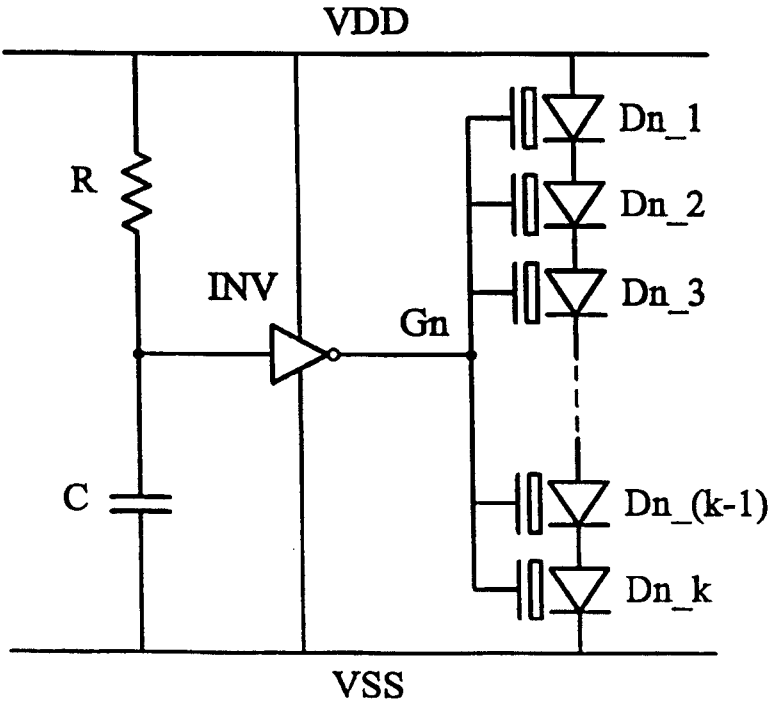


图 15d

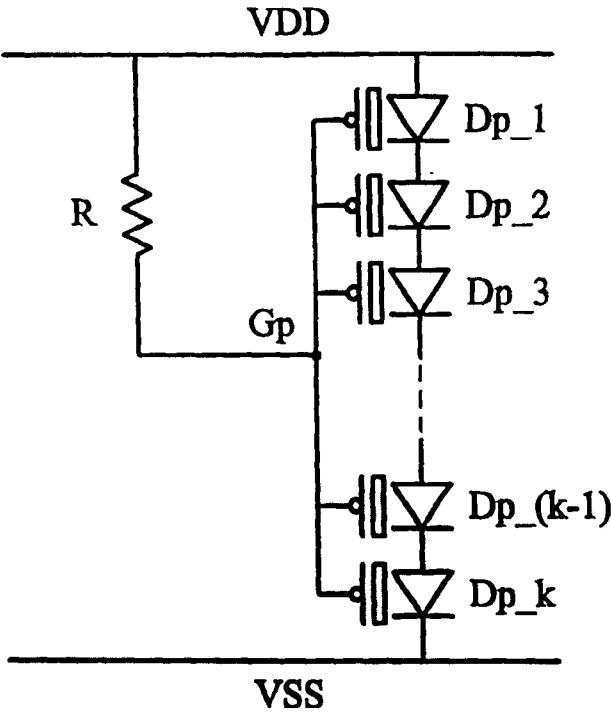


图 16a

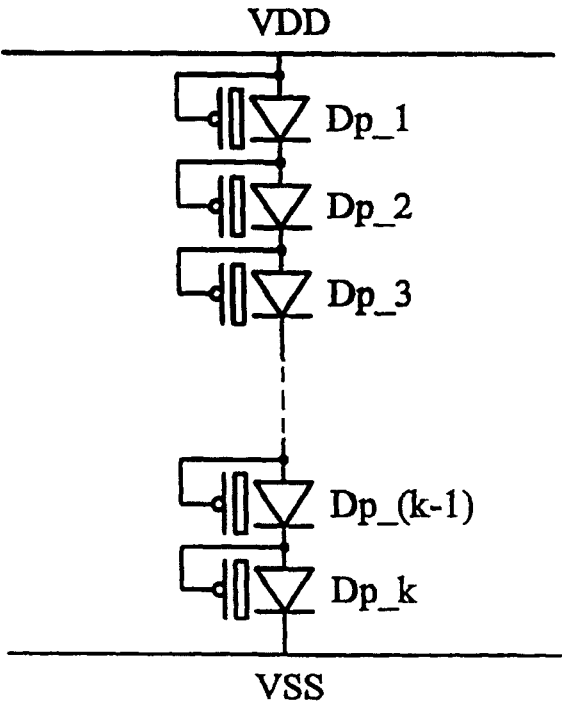


图 16b

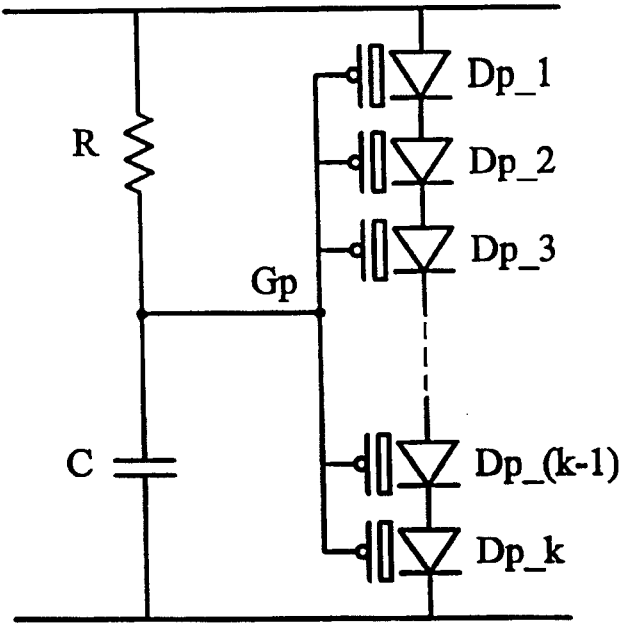


图 16c

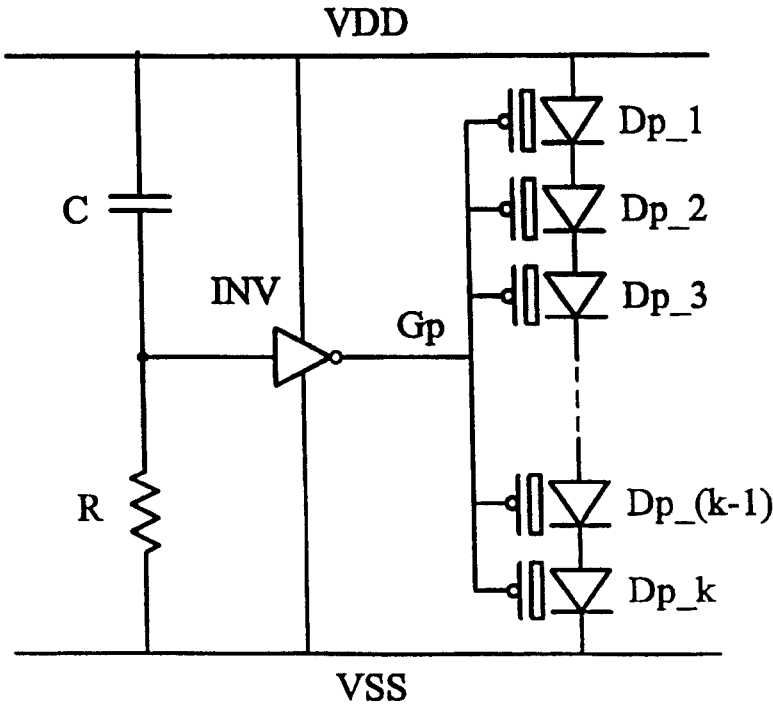


图 16d

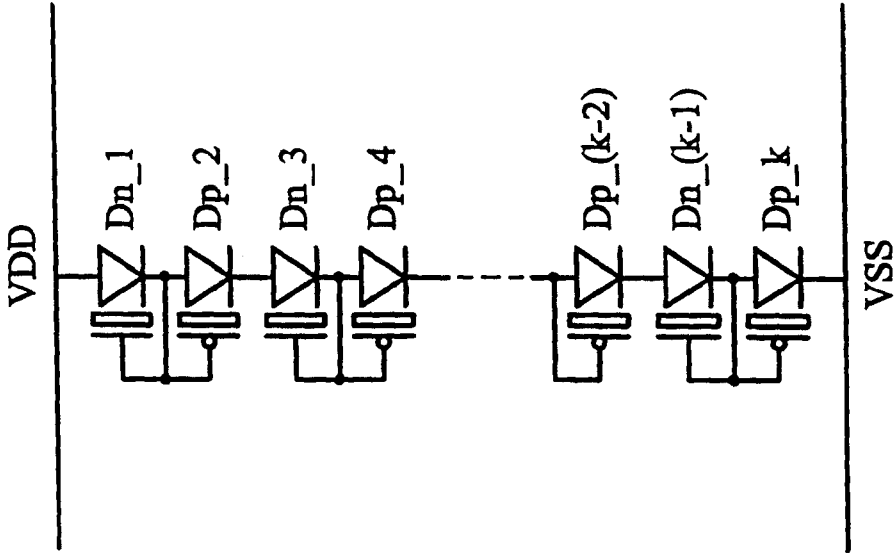


图 17b

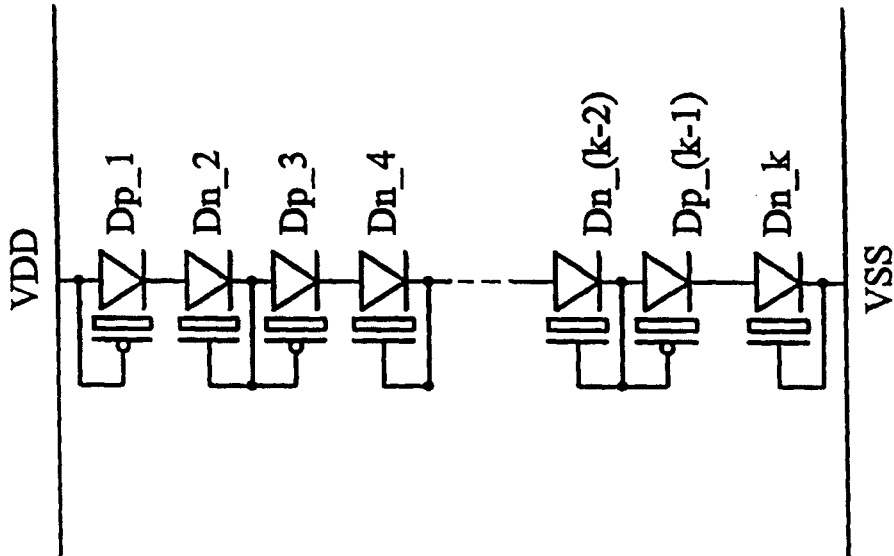


图 17a

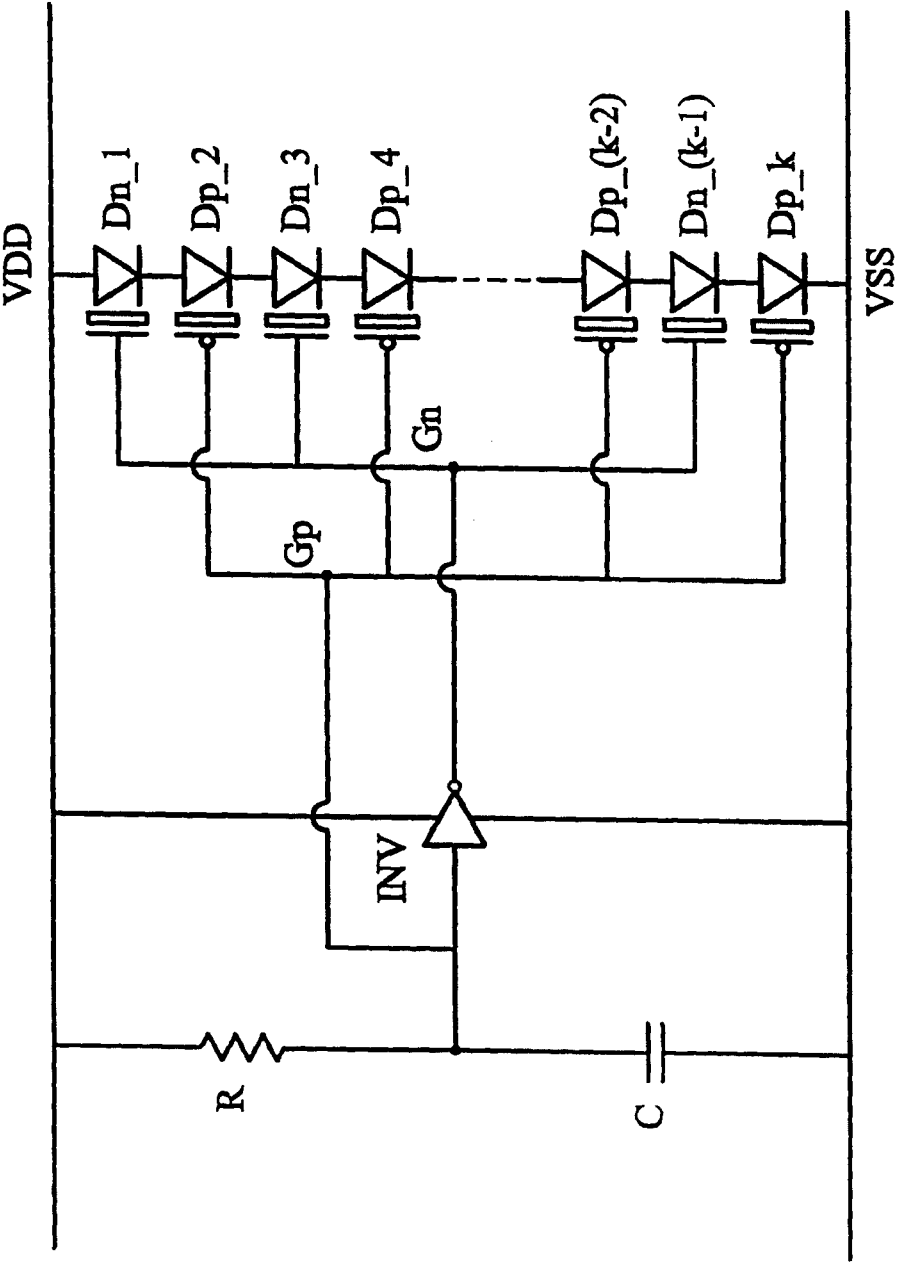


图 17c

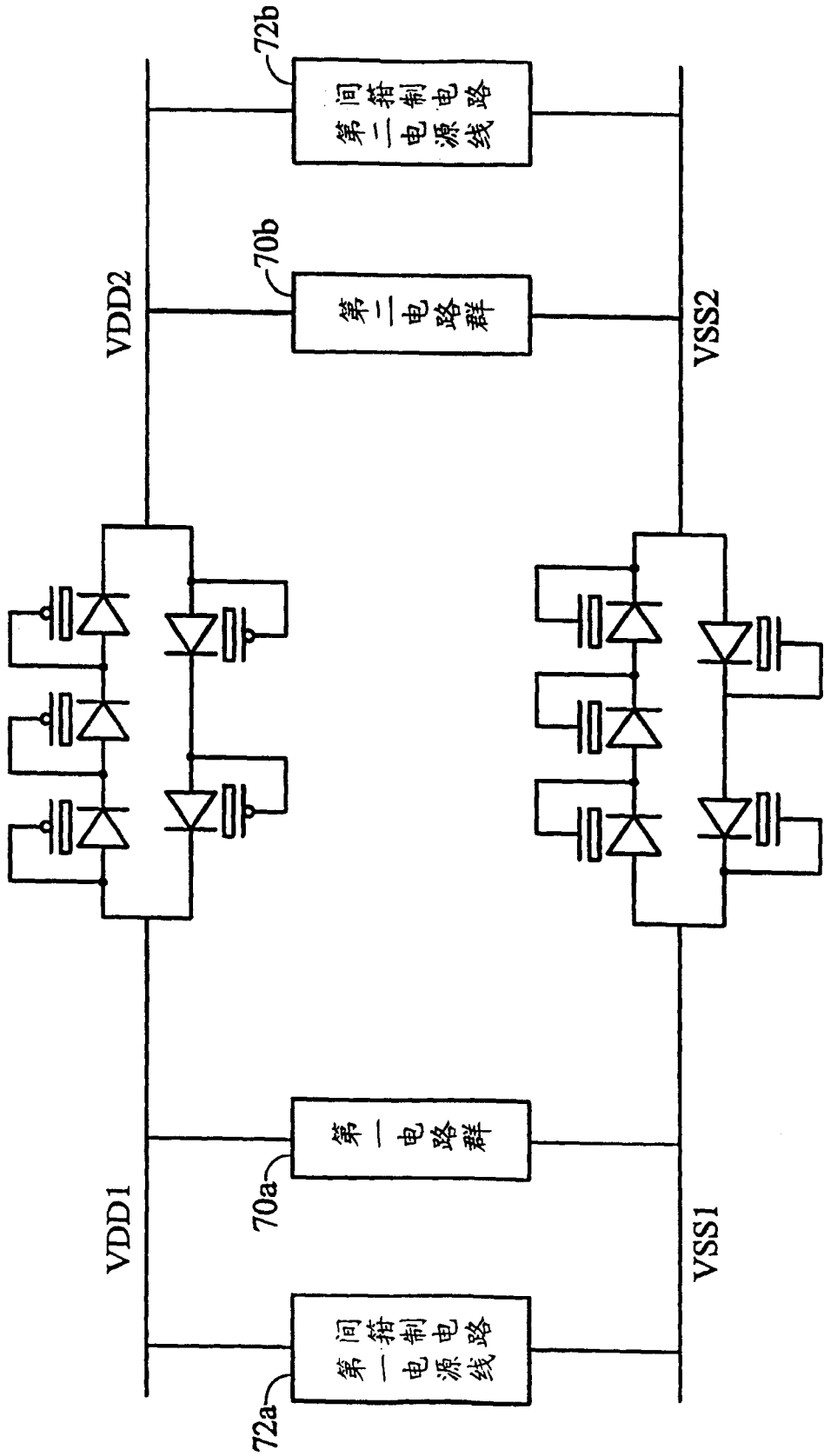


图 18a

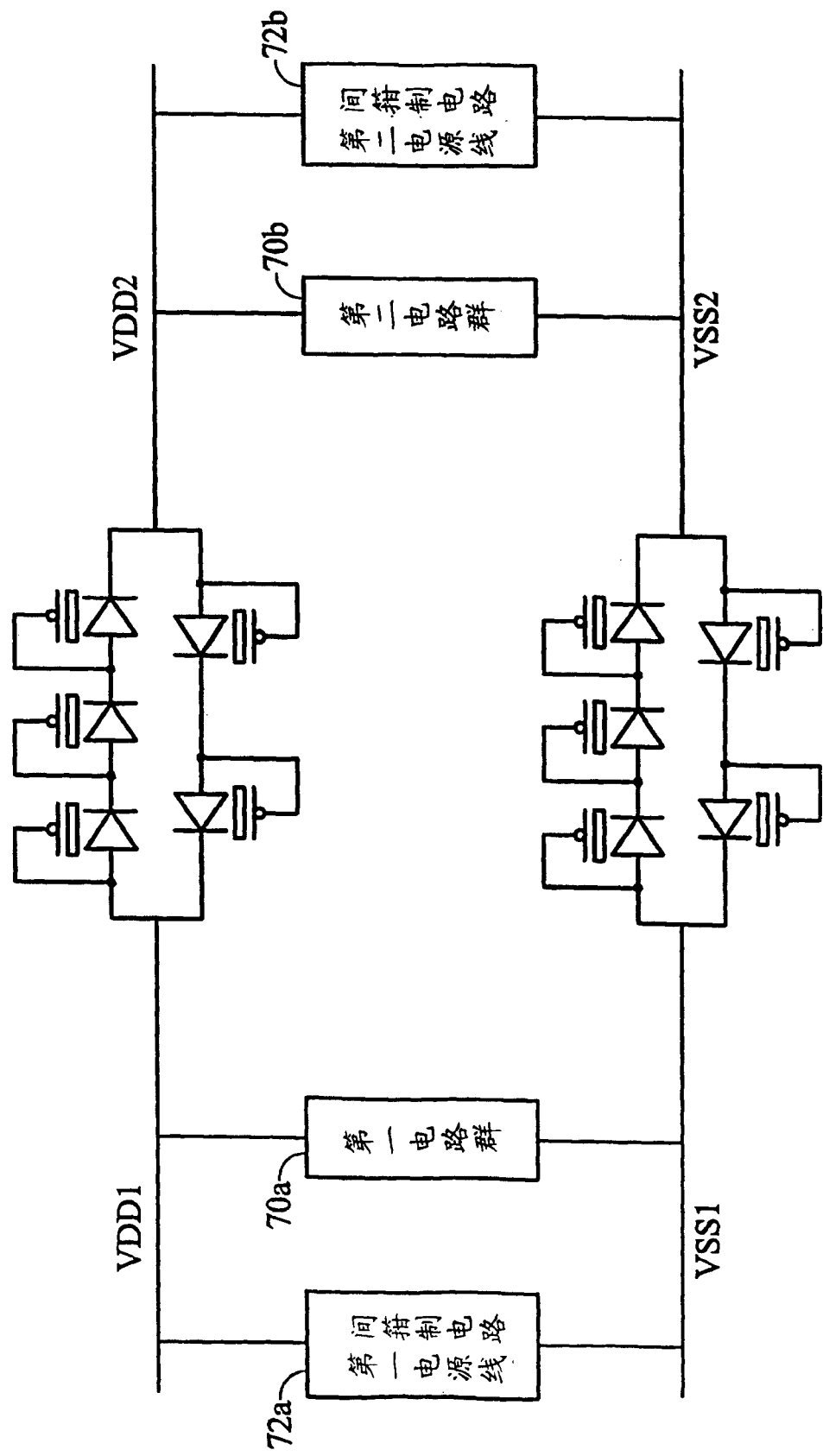


图 18b

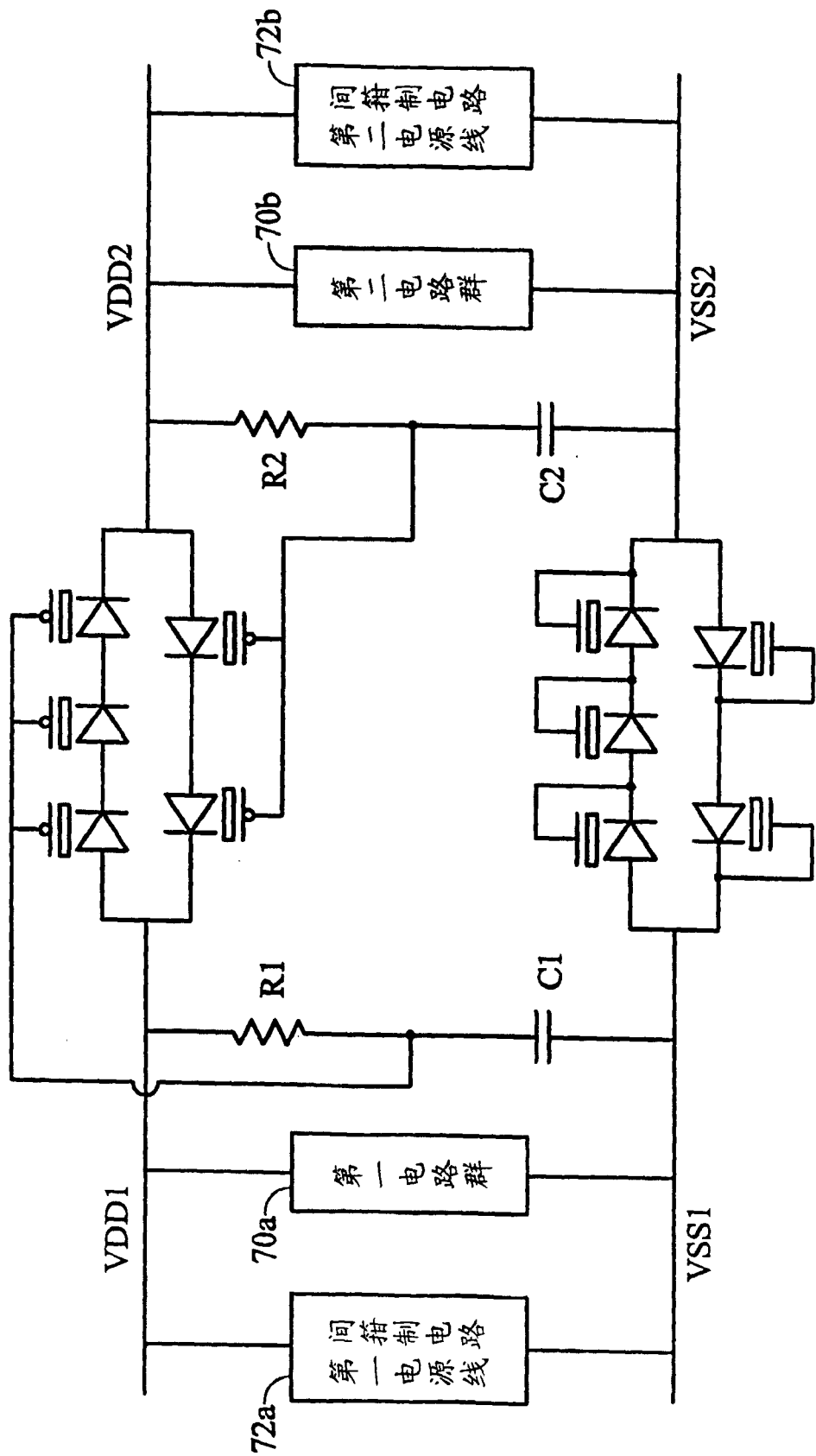


图 18c

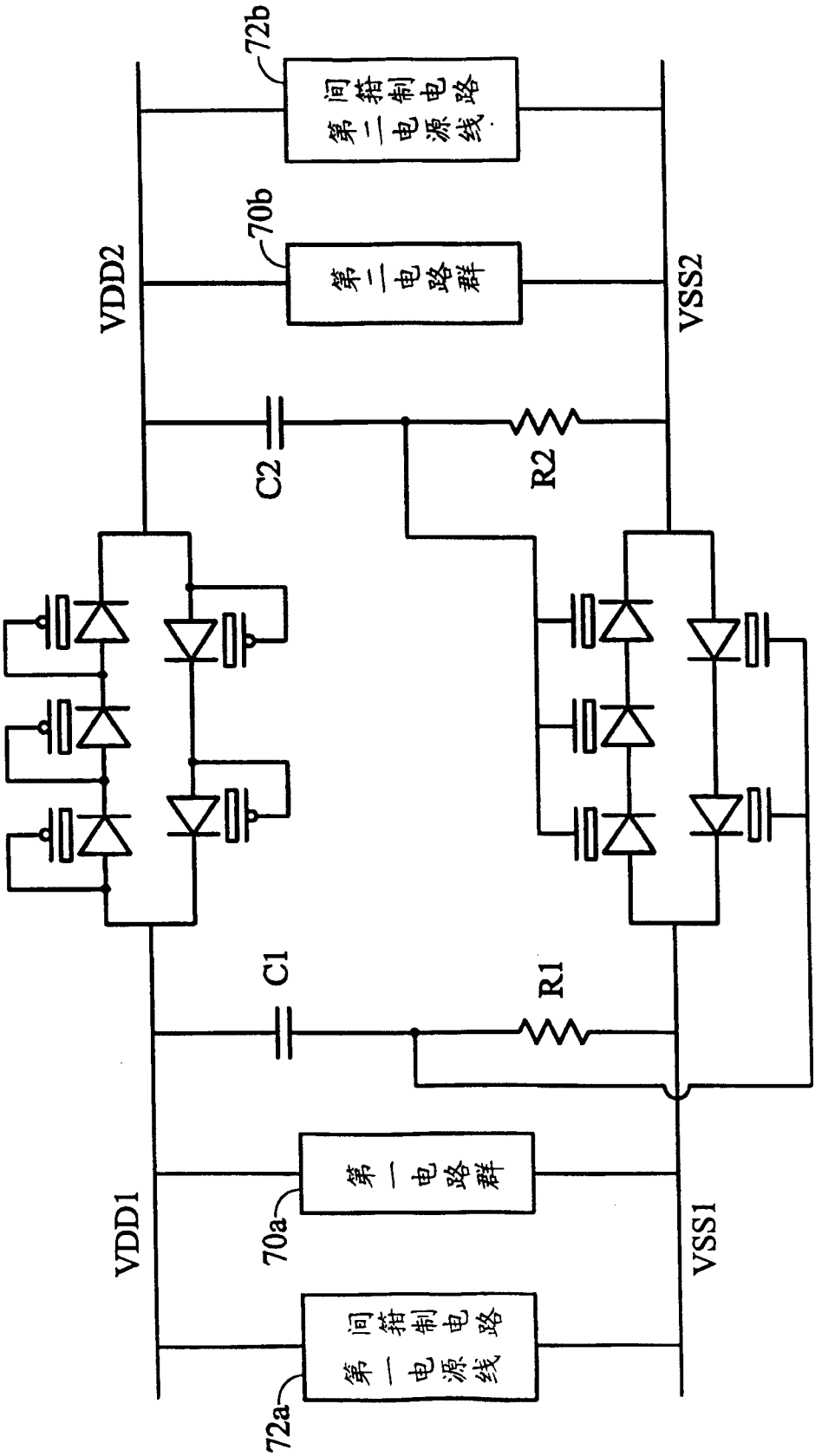


图 18d

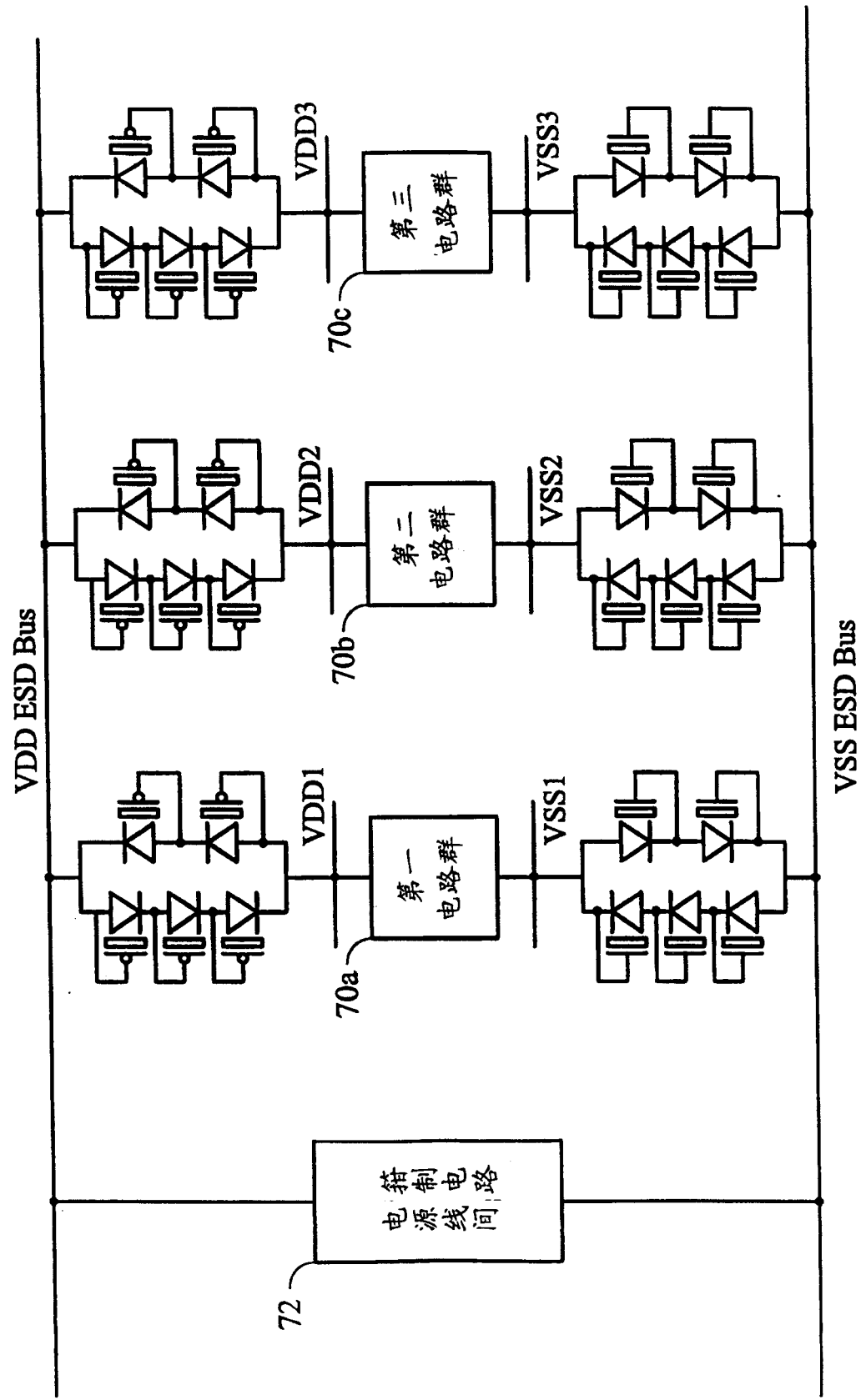


图 19a

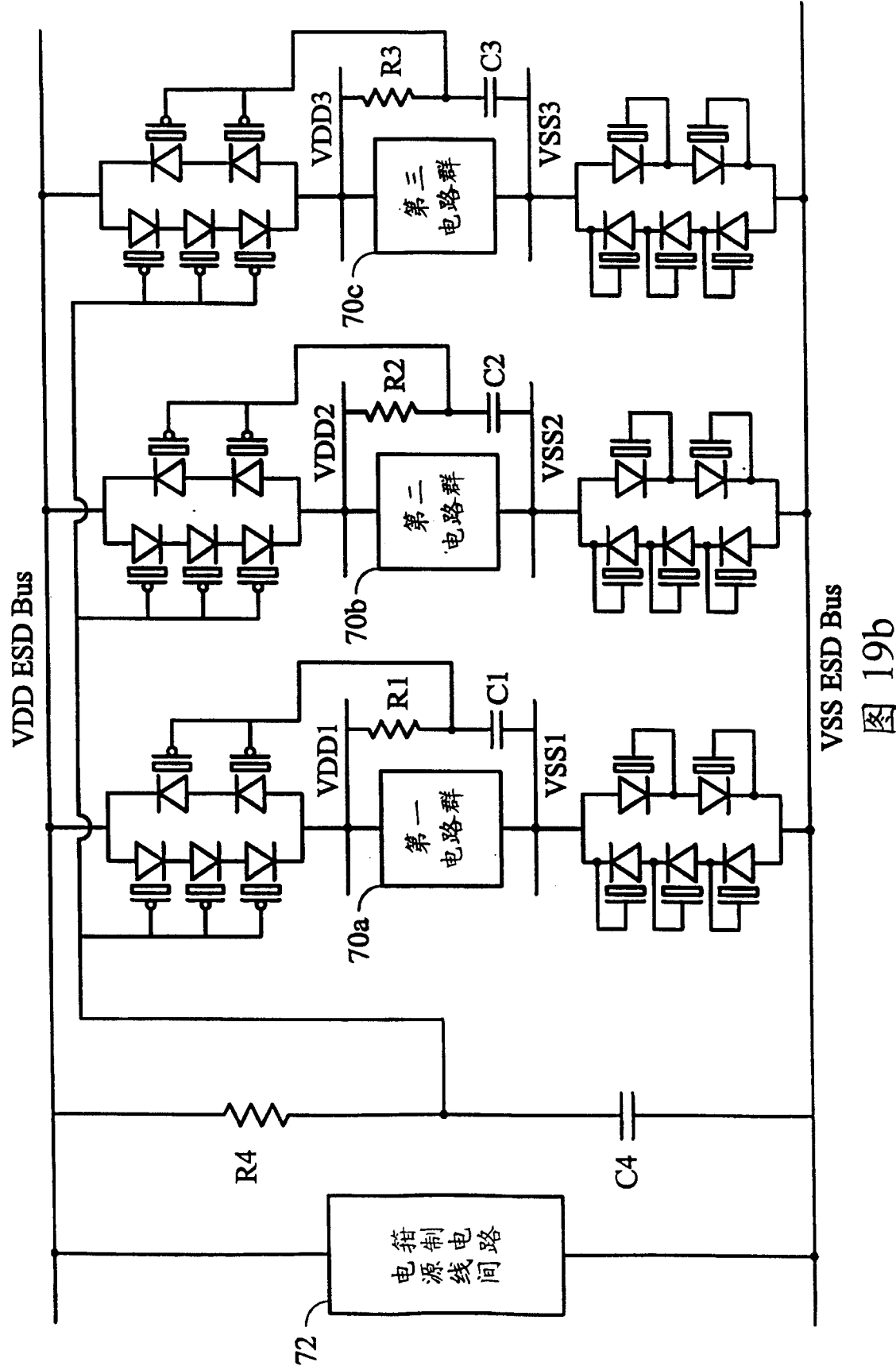


图 19b

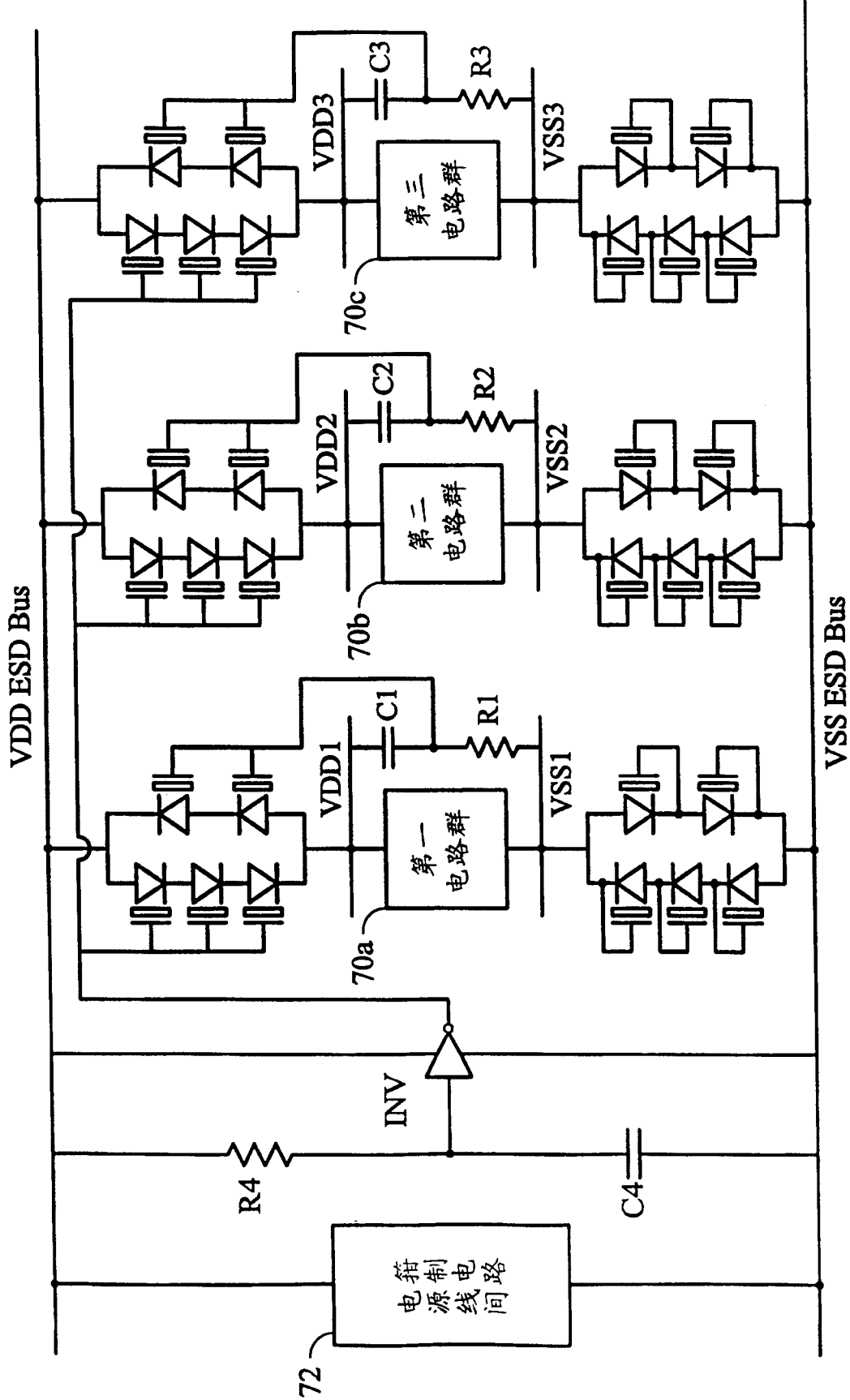


图 19c

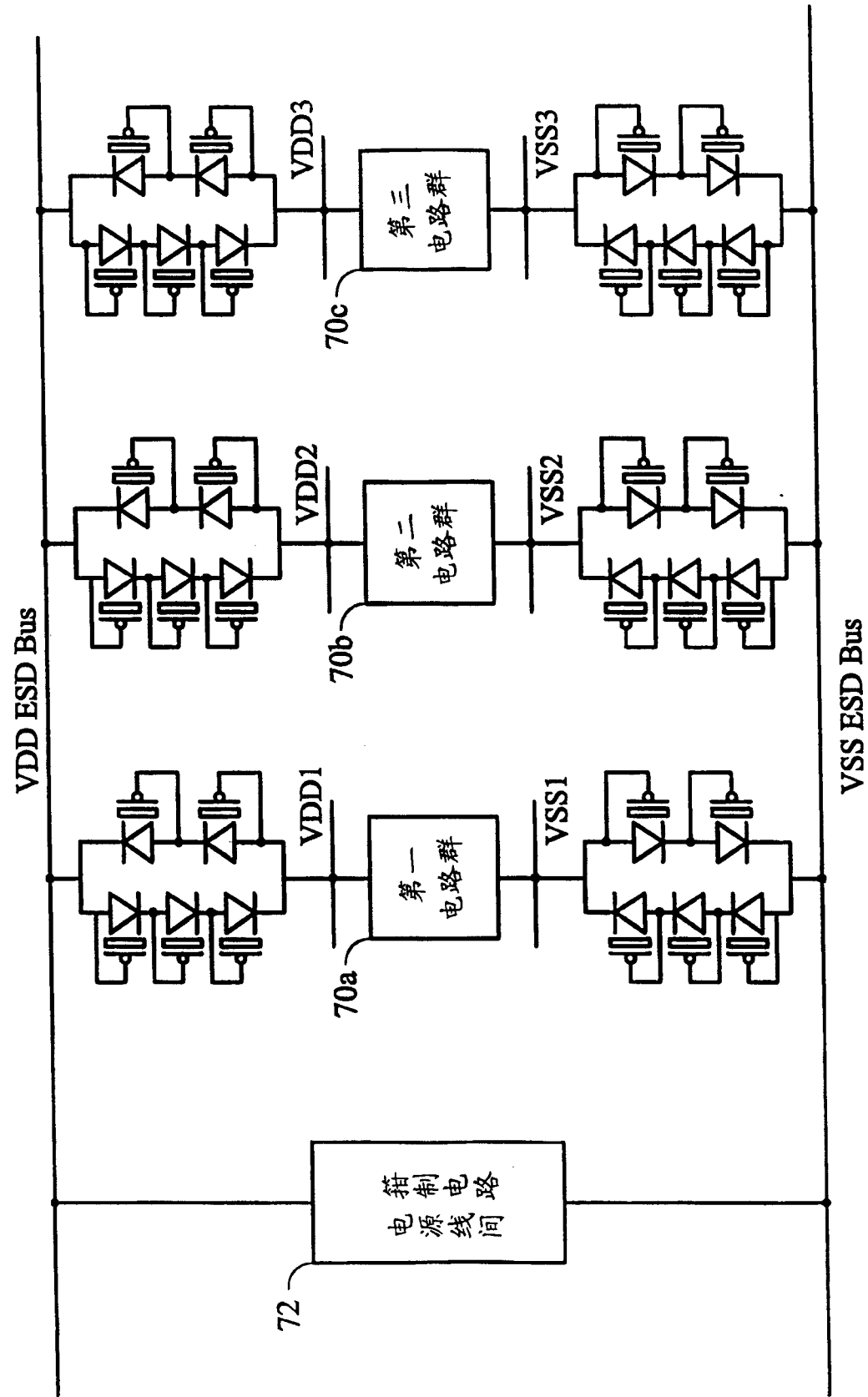


图19d